

1

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Hitoshi ASADA et al.**

Serial Number: **Not Yet Assigned**

Filed: **September 17, 2003**

Customer No.: 23850

For: **SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE
SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

September 17, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-273851, filed on September 19, 2002.

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN & HATTORI, LLP



John P. Kong
Reg. No. 40,054

Atty. Docket No.: 031168
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
JPK/yap



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月19日

出 願 番 号

Application Number:

特願2002-273851

[ST.10/C]:

[JP2002-273851]

出 願 人

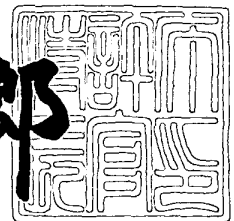
Applicant(s):

富士通株式会社

2003年 1月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3000758

【書類名】 特許願

【整理番号】 0240856

【提出日】 平成14年 9月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 浅田 仁志

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 井上 浩昭

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100087479

 【弁理士】

 【氏名又は名称】 北野 好人

【選任した代理人】

 【識別番号】 100114915

 【弁理士】

 【氏名又は名称】 三村 治彦

【手数料の表示】

 【予納台帳番号】 003300

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0012600

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 半導体基板上に絶縁膜を介して形成されたゲート電極と、
前記ゲート電極の一側に形成され、低濃度ソース領域と、前記低濃度ソース領域よりキャリア濃度が高い高濃度ソース領域とを有するソース領域と、
前記ゲート電極の他側に形成され、低濃度ドレイン領域と、前記低濃度ドレイン領域よりキャリア濃度が高い高濃度ドレイン領域とを有するドレイン領域と、
前記ソース領域上に形成された第1のシリサイド層と、
前記ドレイン領域上に形成された第2のシリサイド層と、
前記第1のシリサイド層に接続された第1の導体プラグと、
前記第2のシリサイド層に接続された第2の導体プラグとを有し、
前記高濃度ドレイン領域は、前記低濃度ドレイン領域のうちの周縁部を除く領域に形成されており、
前記第2のシリサイド層は、前記高濃度ドレイン領域のうちの周縁部を除く領域に形成されている
ことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、
前記第2の導体プラグは、前記第2のシリサイド層のうちの周縁部を除く領域に達するように形成されている
ことを特徴とする半導体装置。

【請求項3】 請求項1又は2記載の半導体装置において、
前記高濃度ドレイン領域の前記ゲート電極側の縁部と前記低濃度ドレイン領域の前記ゲート電極側の縁部との間の距離が、前記高濃度ソース領域の前記ゲート電極側の縁部と前記低濃度ソース領域の前記ゲート電極側の縁部との間の距離より長い
ことを特徴とする半導体装置。

【請求項4】 請求項1乃至3のいずれか1項に記載の半導体装置において

前記第 2 のシリサイド層の前記ゲート電極側の縁部と前記高濃度ドレイン領域の前記ゲート電極側の縁部との間の距離が、前記第 1 のシリサイド層の前記ゲート電極側の縁部と前記高濃度ソース領域の前記ゲート電極側の縁部との間の距離より長い

ことを特徴とする半導体装置。

【請求項 5】 請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置において

前記第 2 のシリサイド層の縁部と前記高濃度ドレイン領域の縁部との間の距離が、 $0.1\ \mu\text{m}$ 以上である

ことを特徴とする半導体装置。

【請求項 6】 請求項 5 記載の半導体装置において、

前記第 2 のシリサイド層の縁部と前記高濃度ドレイン領域の縁部との間の距離が、 $0.5\ \mu\text{m}$ 以上である

ことを特徴とする半導体装置。

【請求項 7】 請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置において

前記ドレイン領域に隣接する素子分離領域を更に有し、
前記高濃度ドレイン領域は、前記素子分離領域から離間するように形成されている

ことを特徴とする半導体装置。

【請求項 8】 請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置において

前記導体プラグの縁部と前記第 2 のシリサイド層の縁部との距離が、 $0.3\ \mu\text{m}$ 以上である

ことを特徴とする半導体装置。

【請求項 9】 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記半導体基板にドーパント不純物を導入することにより、前記ゲート電極の一侧の前記半導体基板に低濃度ソース領域を形

成するとともに、前記ゲート電極の他側の前記半導体基板に低濃度ドレイン領域を形成する工程と、

前記ゲート電極の側面にサイドウォール絶縁膜を形成する工程と、

前記低濃度ドレイン領域の周縁部とを覆うように形成された第1のマスクと前記ゲート電極と前記サイドウォール絶縁膜とをマスクとして、前記半導体基板にドーパント不純物を導入することにより、前記ゲート電極の一侧の前記半導体基板内に高濃度ソース領域を形成するとともに、前記低濃度ドレイン領域のうちの周縁部を除く領域に高濃度ドレイン領域を形成する工程と、

前記高濃度ドレイン領域の周縁部を覆うように形成された第2のマスクをマスクとして、前記高濃度ソース領域上に第1のシリサイド層を形成するとともに、前記高濃度ドレイン領域のうちの周縁部を除く領域に第2のシリサイド層を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項10】 請求項9記載の半導体装置の製造方法において、

前記第1のシリサイド層と前記第2のシリサイド層とを形成する工程の後、前記第1のシリサイド層に接続された第1の導体プラグと、前記第2のシリサイド層に接続された第2の導体プラグとを形成する工程を更に有し、

前記第1の導体プラグと前記第2の導体プラグとを形成する工程では、前記第2のシリサイド層のうちの周縁部を除く領域に達するように前記第2の導体プラグを形成する

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に係り、特に中高耐圧のトランジスタを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

有機ELパネル、LCDドライバ、インクジェットプリンタ等においては、動

作速度の全体としての向上を図るべく、ロジック用のトランジスタと中高耐圧のトランジスタとを同一基板上に混載することが注目されている。

【 0 0 0 3 】

ロジック用のトランジスタと中高耐圧のトランジスタとが混載された提案されている半導体装置を図 1 6 を用いて説明する。図 1 6 は、提案されている半導体装置を示す断面図である。図 1 6 の紙面左側はロジック部を示しており、図 1 6 の紙面右側は中高耐圧部を示している。

【 0 0 0 4 】

半導体基板 2 1 0 表面には、素子領域 2 1 2 a、2 1 2 b を画定する素子分離領域 2 1 4 が形成されている。ロジック部 2 1 6 の素子領域 2 1 2 a には、ゲート電極 2 2 6 とソース領域 2 3 6 a とドレイン領域 2 3 6 b とを有する、比較的耐圧の低いトランジスタ 2 2 0 が形成されている。ソース領域 2 3 6 a は、低濃度ソース領域 2 3 0 a と高濃度ソース領域 2 3 4 a とにより構成されている。ドレイン領域 2 3 6 b は、低濃度ドレイン領域 2 3 0 b と高濃度ドレイン領域 2 3 4 b とにより構成されている。一方、中高耐圧部 2 1 8 のソース領域 2 1 2 b には、ゲート電極 2 2 6 とソース領域 2 4 5 a とドレイン領域 2 4 5 b とを有する、比較的耐圧の高いトランジスタ 2 2 2 が形成されている。ソース領域 2 4 5 a は、低濃度ソース領域 2 4 2 a と高濃度ソース領域 2 4 4 a とにより構成されている。ドレイン領域 2 4 5 b は、低濃度ドレイン領域 2 4 2 b と高濃度ドレイン領域 2 4 4 b とにより構成されている。トランジスタ 2 2 0、2 2 2 が形成された半導体基板 2 1 0 上には、層間絶縁膜 2 5 0 が形成されている。層間絶縁膜 2 5 0 には、ソース領域 2 3 6 a、2 4 5 a、ドレイン領域 2 3 6 b、2 4 5 b にそれぞれ達する導体プラグ 2 5 4 が形成されている。層間絶縁膜 2 5 0 上には、導体プラグ 2 5 4 に接続された配線が形成されている。

【 0 0 0 5 】

提案されている半導体装置によれば、ロジック用のトランジスタ 2 2 0 と中高耐圧のトランジスタ 2 2 2 とが同一基板上に混載されているため、電子機器の動作速度の向上に寄与することができる。

【 0 0 0 6 】

近時では、半導体装置の更なる微細化が進められている。しかし、単に半導体装置を微細化した場合には、ソース／ドレインにおけるコンタクト抵抗の上昇を招いてしまう。このため、ゲート長が例えば $0.35\mu\text{m}$ 以下のロジック用のトランジスタでは、通常、ソース／ドレインにおけるコンタクト抵抗を低く抑えるべく、ソース／ドレイン領域上にシリサイド層が形成される。

【0007】

ソース／ドレイン領域上にシリサイド層が形成された提案されている半導体装置を図17を用いて説明する。図17は、提案されている他の半導体装置を示す断面図である。

【0008】

図17に示すように、高濃度ソース領域234a、244a上、高濃度ドレイン領域234b、244b上には、それぞれシリサイド層240が形成されている。

【0009】

図17に示す提案されている他の半導体装置によれば、ソース／ドレイン領域上にシリサイド層240が形成されているため、ソース／ドレインにおけるコンタクト抵抗を低く抑えつつ、半導体装置の微細化を図ることができる。

【0010】

なお、特許文献1にも、ソース／ドレイン領域上にシリサイド層が形成された半導体装置が開示されている。

【0011】

【特許文献1】

特開平11-126900号公報

【特許文献2】

特開平9-260590号公報

【0012】

【発明が解決しようとする課題】

しかしながら、図16に示す提案されている半導体装置では、中高耐圧トランジスタにおいて十分な耐圧が確保できていなかった。また、特許文献1に記載さ

れた半導体装置も、必ずしも十分に高い耐圧は得られなかった。

【0013】

ここで、ロジック部のトランジスタにおいてのみソース／ドレイン拡散層上にシリサイド層を形成し、中高耐圧のトランジスタにおいてはソース／ドレイン拡散層を絶縁膜で覆い、シリサイド層を形成しないことも考えられる。しかし、この場合には、中高耐圧のトランジスタにおいて良好なコンタクトを得ることが困難となり、中高耐圧のトランジスタにおけるコンタクト抵抗が極めて高くなってしまう。

【0014】

本発明の目的は、ソース／ドレイン領域上にシリサイド層を形成する場合であっても、十分な耐圧を確保しうる半導体装置及びその製造方法を提供することにある。

【0015】

【課題を解決するための手段】

上記目的は、半導体基板上に絶縁膜を介して形成されたゲート電極と、前記ゲート電極の一侧に形成され、低濃度ソース領域と、前記低濃度ソース領域よりキャリア濃度が高い高濃度ソース領域とを有するソース領域と、前記ゲート電極の他側に形成され、低濃度ドレイン領域と、前記低濃度ドレイン領域よりキャリア濃度が高い高濃度ドレイン領域とを有するドレイン領域と、前記ソース領域上に形成された第1のシリサイド層と、前記ドレイン領域上に形成された第2のシリサイド層と、前記第1のシリサイド層に接続された第1の導体プラグと、前記第2のシリサイド層に接続された第2の導体プラグとを有し、前記高濃度ドレイン領域は、前記低濃度ドレイン領域のうちの周縁部を除く領域に形成されており、前記第2のシリサイド層は、前記高濃度ドレイン領域のうちの周縁部を除く領域に形成されていることを特徴とする半導体装置により達成される。

【0016】

また、上記目的は、半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして、前記半導体基板にドーパント不純物を導入することにより、前記ゲート電極の一侧の前記半導体基板に低濃度ソース

領域を形成するとともに、前記ゲート電極の他側の前記半導体基板に低濃度ドレイン領域を形成する工程と、前記ゲート電極の側面にサイドウォール絶縁膜を形成する工程と、前記低濃度ドレイン領域の周縁部とを覆うように形成された第1のマスクと前記ゲート電極と前記サイドウォール絶縁膜とをマスクとして、前記半導体基板にドーパント不純物を導入することにより、前記ゲート電極の一側の前記半導体基板内に高濃度ソース領域を形成するとともに、前記低濃度ドレイン領域のうちの周縁部を除く領域に高濃度ドレイン領域を形成する工程と、前記高濃度ドレイン領域の周縁部を覆うように形成された第2のマスクをマスクとして、前記高濃度ソース領域上に第1のシリサイド層を形成するとともに、前記高濃度ドレイン領域のうちの周縁部を除く領域に第2のシリサイド層を形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。

【0017】

【発明の実施の形態】

本発明の一実施形態による半導体装置及びその製造方法を図1乃至図14を用いて説明する。図1は、本実施形態による半導体装置を示す断面図である。図2は、本実施形態による半導体装置を示す断面図及び平面図である。図3乃至図14は、本実施形態による半導体装置の製造方法を示す工程断面図である。

【0018】

(半導体装置)

まず、本実施形態による半導体装置について図1及び図2を用いて説明する。図1は、本実施形態による半導体装置を構成するロジック部のトランジスタと中高耐圧部のトランジスタの両方を示したものである。図1の紙面左側はロジック部を示しており、図1の紙面右側は中高耐圧部を示している。図2は、本実施形態による半導体装置を構成する中高耐圧部のトランジスタのみを示したものである。図2(a)は断面図であり、図2(b)は平面図である。

【0019】

図1に示すように、半導体基板10には、素子領域12a、12bを画定する素子分離領域14が形成されている。

【0020】

ロジック部 1 6 の素子領域 1 2 a には、ロジック用のトランジスタ 2 0 が形成されている。ロジック用のトランジスタ 2 0 の耐圧は、比較的低くなっている。

【 0 0 2 1 】

中高耐圧部 1 8 の素子領域 1 2 b には、中高耐圧のトランジスタ 2 2 が形成されている。

【 0 0 2 2 】

ここで、ロジック部 1 6 に形成されたトランジスタ 2 0 について説明する。

【 0 0 2 3 】

図 1 に示すように、半導体基板 1 0 上には、ゲート絶縁膜 2 4 a を介してゲート電極 2 6 が形成されている。ゲート電極 2 6 上には、キャップ膜 2 8 が形成されている。

【 0 0 2 4 】

ゲート電極 2 6 の両側の半導体基板 1 0 内には、低濃度領域 3 0、具体的には、低濃度ソース領域 3 0 a と低濃度ドレイン領域 3 0 b とが形成されている。

【 0 0 2 5 】

ゲート電極 2 6 の側面には、サイドウォール絶縁膜 3 2 が形成されている。

【 0 0 2 6 】

側面にサイドウォール絶縁膜 3 2 が形成されたゲート電極 2 6 の両側の半導体基板 1 0 内には、高濃度領域 3 4、具体的には、高濃度ソース領域 3 4 a と高濃度ドレイン領域 3 4 b とが形成されている。低濃度ソース領域 3 0 a と高濃度ソース領域 3 4 b とにより、ソース領域 3 6 a が構成されている。低濃度ドレイン領域 3 0 b と高濃度ドレイン領域 3 4 b とにより、ドレイン領域 3 6 b が構成されている。

【 0 0 2 7 】

サイドウォール絶縁膜の側面には、更にサイドウォール絶縁膜 3 8 が形成されている。

【 0 0 2 8 】

ソース領域 3 6 a 上及びドレイン領域 3 6 b 上には、それぞれシリサイド層 4 0 a、4 0 b が形成されている。

【 0 0 2 9 】

こうして、ロジック部 1 6 のトランジスタ 2 0 が構成されている。

【 0 0 3 0 】

次に、中高耐圧部 1 8 に形成されたトランジスタ 2 2 について説明する。

【 0 0 3 1 】

半導体基板 1 0 上には、ゲート絶縁膜 2 4 b を介してゲート電極 2 6 が形成されている。中高耐圧部のトランジスタ 2 2 におけるゲート絶縁膜 2 4 b の膜厚は、ロジック部のトランジスタ 2 0 におけるゲート絶縁膜 2 4 a の膜厚より厚くなっている。ゲート電極 2 6 の側面には、サイドウォール絶縁膜 3 2 が形成されている。

【 0 0 3 2 】

ゲート電極 2 6 の両側の半導体基板 1 0 内には、低濃度ソース領域 4 2 a と低濃度ドレイン領域 4 2 b とが形成されている。

【 0 0 3 3 】

側面にサイドウォール絶縁膜 3 2 が形成されたゲート電極 2 6 の両側の半導体 1 0 基板内には、高濃度領域 4 4 、具体的には高濃度ソース領域 4 4 a と高濃度ドレイン領域 4 4 b とが形成されている。低濃度ソース領域 4 2 a と高濃度ソース領域 4 4 a とによりソース領域 4 5 a が構成されている。低濃度ドレイン領域 4 2 b と高濃度ドレイン領域 4 4 b とによりドレイン領域 4 5 b が構成されている。

【 0 0 3 4 】

高濃度ドレイン領域 4 4 b は、図 2 (b) に示すように、低濃度ドレイン領域 4 2 b のうちの周縁部を除く領域に形成されている。換言すれば、高濃度ドレイン領域 4 4 b は、低濃度ドレイン領域 4 2 b に内包されるように形成されている。高濃度ドレイン領域 4 4 b の縁部が低濃度ドレイン領域 4 2 b の縁部から離間しているため、電界の集中が緩和される。

【 0 0 3 5 】

なお、高濃度ソース領域 4 4 a は、低濃度ソース領域 4 2 a の縁部にも形成されている。換言すれば、高濃度ソース領域 4 4 a は、低濃度ソース領域 4 2 a に

内包されるようには形成されていない。

【 0 0 3 6 】

本実施形態で、ドレイン側においてのみ高濃度ドレイン領域 4 4 b の縁部を低濃度ドレイン領域 4 2 b の縁部から離間しているのは、高い電圧が印加されて絶縁破壊が生じる虞があるのは、ドレイン側であるためである。一方、ソース側においては、高い電圧が印加されないため、絶縁破壊が生じる虞はなく、敢えて、高濃度ソース領域 4 4 a の縁部を低濃度ソース領域 4 2 a の縁部から離間させる必要はない。

【 0 0 3 7 】

高濃度ドレイン領域 4 4 b のゲート電極 2 6 側の縁部と低濃度ドレイン領域 4 2 b のゲート電極 2 6 側の縁部との間の距離 d_1 は、例えば $3 \mu m$ となっている。一方、高濃度ソース領域 4 4 a のゲート電極 2 6 側の縁部と低濃度ソース領域 4 2 a のゲート電極 2 6 側の縁部との間の距離 d_2 は、例えば $0.1 \mu m$ となっている。即ち、本実施形態では、高濃度ドレイン領域のゲート電極側の縁部と低濃度ドレイン領域のゲート電極側の縁部との間の距離 d_1 が、高濃度ソース領域のゲート電極側の縁部と低濃度ソース領域のゲート電極側の縁部との間の距離 d_2 より長く設定されている。

【 0 0 3 8 】

なお、ここでは、高濃度ドレイン領域 4 4 b のゲート電極 2 6 側の縁部と低濃度ドレイン領域 4 2 b のゲート電極 2 6 側の縁部との間の距離 d_1 を $3 \mu m$ とする場合を例に説明したが、距離 d_1 は $3 \mu m$ に限定されるものではなく、要求される耐圧に応じて適宜設定すればよい。

【 0 0 3 9 】

また、ここでは、高濃度ソース領域 4 4 a のゲート電極 2 6 側の縁部と低濃度ソース領域 4 2 a のゲート電極 2 6 側の縁部との間の距離 d_2 を $0.1 \mu m$ とする場合を例に説明したが、距離 d_2 は $0.1 \mu m$ に限定されるものではなく、要求される耐圧に応じて適宜設定すればよい。

【 0 0 4 0 】

本実施形態で、高濃度ドレイン領域 4 4 b のゲート電極 2 6 側の縁部と低濃度

ドレイン領域 4 2 b のゲート電極 2 6 側の縁部との間の距離 d_1 を、高濃度ソース領域 4 4 a のゲート電極 2 6 側の縁部と低濃度ソース領域 4 2 a のゲート電極 2 6 側の縁部との間の距離 d_2 より長く設定している理由は、以下の通りである。

【 0 0 4 1 】

即ち、高濃度ドレイン領域 4 4 b のゲート電極 2 6 側の縁部と低濃度ドレイン領域 4 2 b のゲート電極 2 6 側の縁部との間の距離 d_1 や、高濃度ソース領域 4 2 a のゲート電極 2 6 側の縁部と低濃度ソース領域 4 4 a のゲート電極 2 6 側の縁部との間の距離 d_2 が長くなると、ソースドレイン間の電気抵抗は上昇することとなる。高濃度ドレイン領域 4 4 b のゲート電極 2 6 側の縁部と低濃度ドレイン領域 4 2 b のゲート電極 2 6 側の縁部との間の距離 d_1 を長く設定するのみならず、高濃度ソース領域 4 4 a のゲート電極 2 6 側の縁部と低濃度ソース領域 4 2 a のゲート電極 2 6 側の縁部との間の距離 d_2 をも長く設定した場合には、ソースドレイン間の電気抵抗が大きく増加してしまう。一方、ソース側には高い電圧は印加されないため、低濃度ソース領域 4 2 a のゲート電極 2 6 側の縁部と高濃度ソース領域 4 4 a のゲート電極 2 6 側の縁部との間の距離については、敢えて長く設定する必要がない。そこで、本実施形態では、ドレイン側においてのみ低濃度ドレイン領域 4 2 b のゲート電極 2 6 の縁部と高濃度ドレイン領域 4 4 b のゲート側 2 6 の縁部との間の距離 d_1 を長く設定している。このため、本実施形態によれば、中高耐圧のトランジスタ 2 2 におけるソースドレイン間の電気抵抗の上昇を抑制しつつ、耐圧を高く確保することができる。

【 0 0 4 2 】

高濃度ドレイン領域 4 4 b の縁部と素子分離領域 1 4 の縁部との間の距離 d_3 は、例えば $3 \mu m$ となっている。高濃度ドレイン領域 4 4 b の縁部と素子分離領域 1 4 の縁部との間の距離 d_3 は、高濃度ドレイン領域 4 4 b のゲート電極 2 6 側の縁部と低濃度ドレイン領域 4 2 b のゲート電極 2 6 側の縁部との間の距離 d_1 と等しく設定されている。一方、ソース側においては、高濃度ソース領域 4 4 a の縁部は素子分離領域 1 4 の縁部に接している。本実施形態で、高濃度ドレイン領域 4 4 b と素子分離領域 1 4 との間の距離 d_3 を大きく離間しているのは、

中高耐圧のトランジスタ 2 2 における耐圧を高く確保するためである。一方、ソース側には、高い電圧は印加されないため、高濃度ソース領域 4 4 a と素子分離領域 1 4 とを敢えて離間する必要はない。

【 0 0 4 3 】

なお、ここでは、高濃度ドレイン領域 4 4 b の縁部と素子分離領域 1 4 の縁部との間の距離 d_3 を $3 \mu m$ に設定する場合を例に説明したが、距離 d_3 は $3 \mu m$ に限定されるものではなく、要求される耐圧に応じて適宜設定すればよい。

【 0 0 4 4 】

側面にサイドウォール絶縁膜 3 2 が形成されたゲート電極 2 6 の側面には、更にサイドウォール絶縁膜 3 8 が形成されている。また、ドレイン側の半導体基板 1 0 上には、絶縁膜 3 8 が形成されている。絶縁膜 3 8 は、シリサイド層 4 0 を形成する際に、マスクとして機能するものである。絶縁膜 3 8 は、サイドウォール絶縁膜 3 8 と同一の膜により構成されている。

【 0 0 4 5 】

絶縁膜 3 8 には、高濃度ドレイン領域 4 4 b に達する開口部 4 6 が形成されている。

【 0 0 4 6 】

露出した半導体基板 1 0 の表面には、シリサイド層 4 0 c、4 0 d が形成されている。ドレイン側においては、開口部 4 6 内においてのみシリサイド層 4 0 d が形成されている。シリサイド層 4 0 d は、図 2 (b) に示すように、高濃度ドレイン領域 4 4 d のうちの周縁部を除く領域に形成されている。シリサイド層 4 0 d のゲート電極 2 6 側の縁部と高濃度ドレイン領域 4 4 b のゲート電極 2 6 側の縁部との距離 d_4 は、例えば $1 \mu m$ 程度となっている。

【 0 0 4 7 】

なお、ここでは、シリサイド層 4 0 d のゲート電極 2 6 側の縁部と高濃度ドレイン領域 4 4 b のゲート電極 2 6 側の端部との距離 d_4 を $1 \mu m$ 程度としたが、シリサイド層 4 0 d のゲート電極 2 6 側の縁部と高濃度ドレイン領域 4 4 b のゲート電極 2 6 側の縁部との距離 d_4 は、 $1 \mu m$ に限定されるものではない。シリサイド層 4 0 d のゲート電極 2 6 側の縁部と高濃度ドレイン領域 4 4 b のゲート

電極 2 6 側の縁部との距離 d_4 を例えば $0.1 \mu\text{m}$ 以上とすれば、電界の集中をある程度緩和することができ、ある程度高い耐圧を確保することが可能である。シリサイド層 4 0 d のゲート電極 2 6 側の縁部と高濃度ドレイン領域 4 4 b のゲート電極 2 6 側の縁部との距離 d_4 が $0.5 \mu\text{m}$ 以上であれば、電界の集中を更に緩和し得るため、高い耐圧を確保することが可能である。

【 0 0 4 8 】

ソース側に形成されたシリサイド層 4 0 c は、高濃度ソース領域 4 4 a の縁部にも形成されている。ソース側には高い電圧が印加されないため、敢えてソース側において電界の集中を緩和する必要はないためである。

【 0 0 4 9 】

こうして、中高耐圧部のトランジスタ 2 2 が構成されている。

【 0 0 5 0 】

トランジスタ 2 0、2 2 が形成された半導体基板 1 0 上には、全面に、層間絶縁膜 5 0 が形成されている。

【 0 0 5 1 】

層間絶縁膜 5 0 には、シリサイド層 4 0 a ~ 4 0 d に達するコンタクトホール 5 2 が形成されている。コンタクトホール 5 2 内には、導体プラグ 5 4 が埋め込まれている。導体プラグ 5 4 が埋め込まれた層間絶縁膜 5 0 上には、配線 5 6 が形成されている。

【 0 0 5 2 】

導体プラグ 5 4 は、シリサイド層 4 0 a ~ 4 0 d のうちの周縁部を除く領域に達するように形成されている。中高耐圧のトランジスタ 2 2 のドレイン側においては、導体プラグ 5 4 の縁部とシリサイド層 4 0 d の縁部との間の距離 d_5 は、例えば $0.3 \mu\text{m}$ 以上離間している。本実施形態で、中高耐圧のトランジスタ 2 2 のドレイン側において、シリサイド層 4 0 d のうちの周縁部を除く領域に達するように導体プラグ 5 4 を形成しているのは、中高耐圧のトランジスタ 2 2 のドレイン側において電界の集中を緩和し、耐圧を高く確保するためである。

【 0 0 5 3 】

なお、ソース側においては高い電圧は印加されないため、シリサイド層 4 0 c

の縁部と導体プラグ 5 4 の縁部との間の距離を敢えて大きく離す必要はない。

【 0 0 5 4 】

本実施形態による半導体装置は、中高耐圧部のトランジスタ 2 2 のドレイン側において、低濃度ドレイン領域 4 2 b のうちの周縁部を除く領域に高濃度ドレイン領域 4 4 b が形成されており、高濃度ドレイン領域 4 4 b のうちの周縁部を除く領域にシリサイド層 4 0 d が形成されており、シリサイド層 4 0 d のうちの周縁部を除く領域に達するように導体プラグ 5 4 が形成されており、しかも、高濃度ドレイン領域 4 4 b が素子分離領域 1 4 から離間していることに主な特徴の一つがある。

【 0 0 5 5 】

図 1 6 に示す提案されている他の半導体装置では、中高耐圧のトランジスタのドレイン側において電界が集中し、高い耐圧が得られなかった。

【 0 0 5 6 】

これに対し、本実施形態によれば、ドレイン側が上記のような構成になっているため、ドレイン側に電圧を印加した際にドレイン側に電界が集中するのを緩和することができる。このため、本実施形態によれば、ソース／ドレイン領域上にシリサイド層を形成する場合であっても、中高耐圧のトランジスタにおける耐圧を十分に高く確保することができる。しかも、本実施形態によれば、ドレイン側においてのみ上記のような構成になっているため、ソースードレイン間の電気抵抗の上昇を防止しつつ、高い耐圧を確保することができる。

【 0 0 5 7 】

なお、上記特許文献 1 には、サイドウォール絶縁膜が二重に形成され、高濃度ソース／ドレイン領域内にゲート電極から離間してシリサイド層が形成され、シリサイド層に達する導体プラグが形成された半導体装置が開示されている。特許文献 1 に記載された半導体装置は、高濃度ドレイン領域が低濃度ドレイン領域の縁部にも形成されている点、シリサイド層が高濃度ドレイン領域の縁部にも形成されている点、高濃度ドレイン領域が素子分離領域から離間していない点で、本実施形態による半導体装置と大きく異なっている。特許文献 1 に記載された半導体装置では、ドレイン側における電界の集中を十分に緩和することができないた

め、十分な耐圧を確保することはできない。

【 0 0 5 8 】

(半導体装置の製造方法)

次に、本実施形態による半導体装置の製造方法について図 3 乃至図 1 4 を用いて説明する。

【 0 0 5 9 】

まず、図 3 (a) に示すように、ロジック部の n チャネルトランジスタが形成される領域 1 6 n、ロジック部の p チャネルトランジスタが形成される領域 1 6 p、中高耐圧部の n チャネルトランジスタが形成される領域 1 8 n、中高耐圧部の p チャネルトランジスタが形成される領域 1 8 p に、それぞれマスク 5 8 を形成する。マスク 5 8 の材料としては、例えば S i N を用いることができる。マスク 5 8 の厚さは、例えば 1 2 0 n m とする。

【 0 0 6 0 】

次に、図 3 (b) に示すように、全面に、例えばスピコート法により、フォトリソグロフ膜 6 0 を形成する。この後、フォトリソグラフィ技術を用い、中高耐圧部の p チャネルトランジスタが形成される領域 1 8 p を開口する開口部 6 2 を形成する。

【 0 0 6 1 】

次に、例えばイオン注入法により、フォトリソグロフ膜 6 0 をマスクとして、半導体基板 1 0 に n 形のドーパント不純物を導入する。ドーパント不純物としては、例えば P を用いる。イオン注入条件は、例えば、加速電圧 1 8 0 k e V、ドーパント量 $6 \times 10^{12} \text{ cm}^{-2}$ とする。これにより、中高耐圧部の p チャネルトランジスタが形成される領域 1 8 p における半導体基板 1 0 内に、n 形ウェル 6 3 が形成される。

【 0 0 6 2 】

次に、n 形ウェル 6 3 に導入されたドーパント不純物を活性化するための熱処理を行う。

【 0 0 6 3 】

次に、図 4 (a) に示すように、全面に、例えばスピコート法により、フォ

トレジスト膜 6 4 を形成する。この後、フォトリソグラフィ技術を用い、フォトレジスト膜 6 4 に、ロジック部の p チャンネルトランジスタが形成される領域 1 6 p を開口する開口部 6 6 を形成する。

【 0 0 6 4 】

次に、例えばイオン注入法により、フォトレジスト膜 6 4 をマスクとして、半導体基板 1 0 に n 形のドーパント不純物を導入する。ドーパント不純物としては、例えば P を用いる。イオン注入条件は、例えば、加速電圧 1 8 0 k e V、ドーズ量 $1.5 \times 10^{13} \text{ cm}^{-2}$ とする。これにより、ロジック部の p チャンネルトランジスタが形成される領域 1 6 p における半導体基板 1 0 内に、n 形ウェル 6 8 が形成される。

【 0 0 6 5 】

次に、n 形ウェル 6 8 に導入されたドーパント不純物を活性化するための熱処理を行う。

【 0 0 6 6 】

次に、図 4 (d) に示すように、全面に、例えばスピコート法により、フォトレジスト膜 7 0 を形成する。この後、フォトリソグラフィ技術を用い、フォトレジスト膜 7 0 に、半導体基板 1 0 に達する開口部 7 2 を形成する。開口部 7 2 は、中高耐圧部の n チャンネルトランジスタ 2 2 n (図 参照) のチャンネルストップ層 7 4 を形成するためのものである。

【 0 0 6 7 】

次に、例えばイオン注入法により、フォトレジスト膜 7 0 をマスクとして、半導体基板 1 0 に p 形のドーパント不純物を導入する。ドーパント不純物としては、例えば B (ボロン) を用いる。イオン注入条件は、例えば、加速電圧 2 0 k e V、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ とする。これにより、中高耐圧の n チャンネルトランジスタのチャンネルストップ層 7 4 が形成される。

【 0 0 6 8 】

次に、図 5 (a) に示すように、全面に、例えばスピコート法により、フォトレジスト膜 7 6 を形成する。この後、フォトリソグラフィ技術を用い、フォトレジスト膜 7 6 に、半導体基板 1 0 に達する開口部 7 8 を形成する。開口部 7 8

は、中高耐圧部の p チャネルトランジスタ 2 2 p (図 参照) のチャネルストップ層 8 0 を形成するためのものである。

【 0 0 6 9 】

次に、例えばイオン注入法により、フォトレジスト膜 7 6 をマスクとして、半導体基板 1 0 に n 形のドーパント不純物を導入する。ドーパント不純物としては、例えば、P を用いる。イオン注入条件は、例えば、加速電圧 6 0 k e V、ドーズ量 $2.5 \times 10^{13} \text{ cm}^{-2}$ とする。これにより、中高耐圧部の p チャネルトランジスタのチャネルストップ層 8 0 が形成される。

【 0 0 7 0 】

次に、図 5 (b) に示すように、例えば L O C O S (L O C a l O x i d a t i o n o f S i l i c o n) 法により、半導体基板 1 0 に素子分離領域 1 4 を形成する。

【 0 0 7 1 】

次に、マスク 5 8 を除去する。

【 0 0 7 2 】

次に、全面に、例えば熱酸化法により、例えば膜厚 1 5 n m の S i O₂ より成る保護膜 8 2 を形成する。

【 0 0 7 3 】

次に、全面エッチングにより、保護膜 8 2 を除去する。

【 0 0 7 4 】

次に、図 6 (a) に示すように、全面に、例えば膜厚 9 0 n m の S i O₂ より成るゲート絶縁膜 2 4 b を形成する。

【 0 0 7 5 】

次に、ロジック部のトランジスタが形成される領域 1 6 n、1 6 p に形成されたゲート絶縁膜 2 4 b を除去する。

【 0 0 7 6 】

次に、全面に、例えば熱酸化法により、例えば膜厚 1 5 n m の S i O₂ より成る保護膜 8 4 を形成する。

【 0 0 7 7 】

次に、図 6 (b) に示すように、全面に、例えばスピンコート法により、フォ

トレジスト膜 8 6 を形成する。この後、フォトリソグラフィ技術を用い、フォト
レジスト膜 8 6 に、ロジック部の n チャンネルトランジスタが形成される領域 1 6
n を開口する開口部 8 8 を形成する。

【 0 0 7 8 】

次に、例えばイオン注入法により、フォトレジスト膜 8 6 をマスクとして、半
導体基板 1 0 に p 形のドーパント不純物を導入する。ドーパント不純物としては
、例えば B を用いる。イオン注入条件は、例えば加速電圧 1 4 0 k e V、ドーズ
量 $8 \times 10^{12} \text{ cm}^{-2}$ とする。これにより、ロジック部の n チャンネルトランジスタ
が形成される領域 1 6 n に p 形ウェル 9 0 が形成される。

【 0 0 7 9 】

次に、例えばイオン注入法により、フォトレジスト膜 9 6 をマスクとして、半
導体基板 1 0 に p 形のドーパント不純物を導入する。ドーパント不純物としては
、例えば B を用いる。イオン注入条件は、例えば、加速電圧 3 0 k e V、ドーズ
量 $3 \times 10^{12} \text{ cm}^{-2}$ とする。これにより、ロジック部の n チャンネルトランジスタ
が形成される領域 1 6 n にチャネルドープ層 9 2 が形成される。チャネルドープ
層 9 2 は、しきい値電圧を制御するためのものである。

【 0 0 8 0 】

次に、図 7 (a) に示すように、全面に、例えばスピコート法により、フォ
トレジスト膜 9 4 を形成する。この後、フォトリソグラフィ技術を用い、フォト
レジスト膜 9 4 に、中高耐圧部の n チャンネルトランジスタが形成される領域 1 8
n を開口する開口部 9 6 を形成する。

【 0 0 8 1 】

次に、例えばイオン注入法により、フォトレジスト膜 9 4 をマスクとして、半
導体基板 1 0 に p 形のドーパント不純物を導入する。ドーパント不純物としては
、例えば B を用いる。イオン注入条件は、例えば、加速電圧 4 5 k e V、ドーズ
量 $2 \times 10^{11} \text{ cm}^{-2}$ とする。これにより、中高耐圧部の n チャンネルトランジスタ
が形成される領域 1 8 n にチャネルドープ層 9 8 が形成される。

【 0 0 8 2 】

次に、図 7 (b) に示すように、全面に、例えばスピコート法により、フォ

トレジスト膜 1 0 0 を形成する。この後、フォトリソグラフィ技術を用い、フォトレジスト膜 1 0 0 に、中高耐圧部の n チャンネルトランジスタが形成される領域 1 8 n を開口する開口部 1 0 2 を形成する。

【 0 0 8 3 】

次に、例えばイオン注入法により、フォトレジスト膜 1 0 0 をマスクとして、半導体基板 1 0 に n 形のドーパント不純物を導入する。ドーパント不純物としては、例えば B を用いる。イオン注入条件は、例えば、加速電圧 4 5 k e V、ドーズ量 $8 \times 10^{11} \text{ cm}^{-2}$ とする。これにより、中高耐圧部の p チャンネルトランジスタが形成される領域 1 8 p にチャネルドープ層 1 0 4 が形成される。

【 0 0 8 4 】

次に、図 8 (a) に示すように、ロジック部のトランジスタが形成される領域 1 6 n、1 6 p に形成された保護膜 8 4 を除去する。

【 0 0 8 5 】

次に、ロジック部のトランジスタが形成される領域 1 6 n、1 6 p に、例えば膜厚 7 n m の SiO_2 より成るゲート絶縁膜 2 4 a を形成する。

【 0 0 8 6 】

次に、全面に、例えば C V D 法により、膜厚 5 0 n m のアモルファスシリコン膜 1 0 6 を形成する。アモルファスシリコン膜 1 0 6 は、ゲート電極 2 6 を形成するためのものである。

【 0 0 8 7 】

次に、全面に、例えばスピコート法により、フォトレジスト膜 1 0 8 を形成する。この後、フォトリソグラフィ技術を用い、フォトレジスト膜 1 0 8 に、ロジック部 1 6 を開口する開口部 1 1 0 を形成する。

【 0 0 8 8 】

次に、例えばイオン注入法により、フォトレジスト膜 1 0 8 をマスクとして、半導体基板 1 0 に p 形のドーパント不純物を導入する。ドーパント不純物としては、例えば B を用いる。イオン注入条件は、例えば、加速電圧 3 0 k e V、ドーズ量 $2 \times 10^{12} \text{ cm}^{-2}$ とする。これにより、ロジック部 1 6 にチャネルドープ層 1 1 2 が形成される。

【0089】

次に、アモルファスシリコン膜106上に、タングステンシリサイド膜113を形成する。

【0090】

次に、CVD法により、全面に、例えば膜厚45nmのSiO₂より成るキャップ膜28を形成する。

【0091】

次に、フォトリソグラフィ技術を用い、キャップ膜28をパターニングする。

【0092】

次に、キャップ膜28をマスクとして、タングステンシリサイド膜113及びアモルファスシリコン膜106をエッチングする。こうして、アモルファスシリコン膜106とタングステンシリサイド膜113とから成るゲート電極26が形成される(図8(b)参照)。

【0093】

次に、図9(a)に示すように、全面に、例えばスピコート法により、フォトレジスト膜114を形成する。この後、フォトリソグラフィ技術を用い、フォトレジスト膜114に、中高耐圧部のトランジスタが形成される領域18p、18nを開口する開口部116を形成する。

【0094】

次に、フォトレジスト膜114及び中高耐圧部のトランジスタのゲート電極26をマスクとして、中高耐圧部のトランジスタのゲート電極26の両側のゲート絶縁膜24bを除去する。

【0095】

次に、図9(b)に示すように、全面に、例えばスピコート法により、フォトレジスト膜118を形成する。この後、フォトリソグラフィ技術を用い、フォトレジスト膜118に、中高耐圧部のnチャネルトランジスタが形成される領域18nを開口する開口部120を形成する。

【0096】

次に、例えばイオン注入法により、フォトレジスト膜118及びゲート電極2

6をマスクとして、半導体基板10内にn形のドーパント不純物を導入する。ドーパント不純物としては、例えばP（リン）を用いる。イオン注入条件は、例えば、加速エネルギー60～90keV、ドーズ量 3×10^{12} とする。こうして、ゲート電極26の両側の半導体基板10内に、低濃度ソース領域42aと低濃度ドレイン領域42bとが形成される。

【0097】

次に、図10（a）に示すように、全面に、例えばスピコート法により、フォトリソグロフ膜を形成する。この後、フォトリソグラフィ技術を用い、フォトリソグロフ膜に、中高耐圧部のpチャネルトランジスタが形成される領域18pを開く開口部124を形成する。

【0098】

次に、例えばイオン注入法により、フォトリソグロフ膜122及びゲート電極26をマスクとして、半導体基板10内にp形のドーパント不純物を導入する。ドーパント不純物としては、例えばBを用いる。イオン注入条件は、例えば、加速エネルギー45keV、ドーズ量 3×10^{12} とする。こうして、ゲート電極26の両側の半導体基板10内に、低濃度ソース領域42cと低濃度ドレイン領域42dとが形成される。

【0099】

次に、図10（b）に示すように、全面に、例えばスピコート法により、フォトリソグロフ膜126を形成する。この後、フォトリソグラフィ技術を用い、フォトリソグロフ膜126に、ロジック部のnチャネルトランジスタが形成される領域16nを開く開口部128を形成する。

【0100】

次に、例えばイオン注入法により、フォトリソグロフ膜126及びゲート電極26をマスクとして、n形のドーパント不純物を導入する。ドーパント不純物としては、例えばPを用いる。イオン注入条件は、例えば、加速電圧20keV、ドーズ量 $4 \times 10^{12} \text{ cm}^{-2}$ とする。こうして、ゲート電極26の両側の半導体基板10内に、低濃度ソース領域30aと低濃度ドレイン領域30bとが形成される。

【 0 1 0 1 】

次に、図 1 1 (a) に示すように、全面に、例えばスピコート法により、フォトレジスト膜 1 3 0 を形成する。この後、フォトリソグラフィ技術を用い、フォトレジスト膜 1 3 0 に、ロジック部の p チャンネルトランジスタが形成される領域 1 6 p を開口する開口部 1 3 2 を形成する。

【 0 1 0 2 】

次に、例えばイオン注入法により、フォトレジスト膜 1 3 0 及びゲート電極 2 6 をマスクとして、p 形のドーパント不純物を導入する。ドーパント不純物としては、例えば BF_2^+ を用いる。イオン注入条件は、例えば、加速電圧 2 0 k e V 、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ とする。こうして、ゲート電極 2 6 の両側の半導体基板 1 0 内に、低濃度ソース領域 3 0 c と低濃度ドレイン領域 3 0 d とが形成される。

【 0 1 0 3 】

次に、例えば CVD 法により、膜厚 1 2 0 n m の SiO_2 より成る絶縁膜を形成する。この後、絶縁膜を異方性エッチングする。こうして、ゲート電極 2 6 の側面にサイドウォール絶縁膜 3 2 が形成される (図 1 1 (b) 参照) 。

【 0 1 0 4 】

次に、図 1 2 (a) に示すように、全面に、例えばスピコート法により、フォトレジスト膜 1 3 4 を形成する。この後、フォトリソグラフィ技術を用い、フォトレジスト膜 1 3 4 に開口部 1 3 6 a ~ 1 3 6 c を形成する。開口部 1 3 6 a は、ロジック部の p チャンネルトランジスタの高濃度ソース領域と高濃度ドレイン領域とを形成するためのものである。開口部 1 3 6 b は、中高耐圧部の p チャンネルトランジスタの高濃度ソース領域を形成するためのものである。開口部 1 3 6 c は、中高耐圧部の n チャンネルトランジスタの高濃度ドレイン領域を形成するためのものである。

【 0 1 0 5 】

次に、フォトレジスト膜 1 3 4 をマスクとして、p 形のドーパント不純物を導入する。ドーパント不純物としては、例えば BF_2 を用いる。イオン注入条件は、例えば、加速電圧 2 0 k e V 、ドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ とする。こうして、

ロジック部の pMOS トランジスタが形成される領域 1 6 p において、ゲート電極 2 6 の両側の半導体基板 1 0 内に高濃度ソース領域 3 4 c と高濃度ドレイン領域 3 4 d とが形成される。また、中高耐圧部の pMOS トランジスタが形成される領域 1 8 p において、ゲート電極 2 6 の両側の半導体基板 1 0 内に、高濃度ソース領域 4 4 c と高濃度ドレイン領域 4 4 d とが形成される。

【 0 1 0 6 】

次に、図 1 2 (b) に示すように、全面に、例えばスピコート法により、フォトレジスト膜 1 3 8 を形成する。この後、フォトリソグラフィ技術を用い、フォトレジスト膜 1 3 8 に開口部 1 4 0 a 、 1 4 0 b 、 1 4 0 c を形成する。これにより、低濃度ドレイン領域 4 2 d の周縁部を覆うようにフォトレジスト膜がパターニングされる。開口部 1 4 0 a は、ロジック部の n チャネルトランジスタの高濃度ソース領域 3 4 a と高濃度ドレイン領域 3 4 b とを形成するためのものである。開口部 1 4 0 b は、中高耐圧部の n チャネルトランジスタの高濃度ソース領域 4 4 a を形成するためのものである。開口部 1 4 0 c は、中高耐圧部の n チャネルトランジスタの高濃度ドレイン領域 4 4 b を形成するためのものである。

【 0 1 0 7 】

次に、フォトレジスト膜 1 3 8 とゲート電極 2 6 とをマスクとして、n 形のドーパント不純物を導入する。ドーパント不純物としては、例えば A s を用いる。イオン注入条件は、例えば、加速電圧 3 0 k e V 、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ とする。こうして、ロジック部の n チャネルトランジスタが形成される領域 1 6 n において、ゲート電極 2 6 の両側の半導体基板 1 0 内に、高濃度ソース領域 3 4 a と高濃度ドレイン領域 3 4 b とが形成される。また、中高耐圧部の n チャネルトランジスタが形成される領域 1 8 n において、ゲート電極 2 6 の両側の半導体基板 1 0 内に、高濃度ソース領域 4 4 a と高濃度ドレイン領域 4 4 b とが形成される。

【 0 1 0 8 】

次に、高濃度拡散層に導入されたドーパント不純物を活性化するための熱処理を行う。

【 0 1 0 9 】

次に、全面に、例えば低温プラズマCVD法により、膜厚100nmのSiO₂より成る絶縁膜38を形成する。

【0110】

次に、図13(a)に示すように、全面に、例えばスピコート法により、フォトレジスト膜142を形成する。この後、フォトリソグラフィ技術を用い、フォトレジスト膜142に開口部144aから144bを形成する。これにより、低濃度ドレイン領域42bの周縁部を覆うようにフォトレジスト膜142がパターンニングされる。開口部144aは、ロジック部のトランジスタが形成される領域16と中高耐圧部のnチャネルトランジスタ22nのソース側の領域とを開口するものである。開口部144bは、中高耐圧部のpチャネルトランジスタ22pのソース側の領域を開口するものである。開口部144cは、中高耐圧部のnチャネルトランジスタ22nのドレイン側のシリサイド層40dが形成される領域を開口するものである。開口部144cは、開口部144cのゲート電極26側の縁部と高濃度ドレイン領域44bのゲート電極26側の端部との間の距離が、例えば3μmとなるように形成される。開口部144dは、中高耐圧部のpチャネルトランジスタ22pのドレイン側のシリサイド層40hが形成される領域を開口するものである。開口部144dは、開口部144dのゲート電極26側の縁部と高濃度ドレイン領域44dのゲート電極26側の縁部との間の距離が、例えば3μmとなるように形成される。

【0111】

次に、フォトレジスト膜142をマスクとして、絶縁膜38を異方性エッチングする。こうして、サイドウォール絶縁膜32が形成されたゲート電極の側面に、更にサイドウォール絶縁膜38が形成される。中高耐圧部のトランジスタのドレイン側においては、高濃度ドレイン領域44b、44dの周縁部と低濃度ドレイン領域42b、42dとを覆うように絶縁膜38が残される。中高耐圧部のトランジスタのドレイン側に残された絶縁膜38は、半導体基板10表面の所望の領域にのみシリサイド層40を形成するためのマスクとして機能する。

【0112】

次に、図13(b)に示すように、露出している半導体基板10の表面に、例

例えばチタンシリサイドより成るシリサイド膜 4 0 a ~ 4 0 h を形成する。

【 0 1 1 3 】

次に、図 1 4 (a) に示すように、全面に、例えば C V D 法により、膜厚 7 0 0 n m の SiO_2 より成る層間絶縁膜 5 0 を形成する。

【 0 1 1 4 】

次に、層間絶縁膜 5 0 に、シリサイド膜 4 0 に達するコンタクトホール 5 2 を形成する。この際、シリサイド膜 4 0 のうちの周縁部を除く領域に達するように、コンタクトホール 5 2 を形成する。

【 0 1 1 5 】

次に、コンタクトホール 5 2 内に、導体プラグ 5 4 を埋め込む。

【 0 1 1 6 】

次に、例えば P V D (Physical Vapor Deposition) 法により、膜厚 5 0 0 n m の A l より成る導電膜を形成する。この後、フォトリソグラフィ技術を用い、導電膜をパターニングすることにより、配線 5 6 を形成する。こうして、導体プラグ 5 4 に接続された配線 5 6 が形成される。

【 0 1 1 7 】

こうして、本実施形態による半導体装置が製造される。

【 0 1 1 8 】

(変形例)

次に、本実施形態による半導体装置の変形例を図 1 5 を用いて説明する。図 1 5 は、本変形例による半導体装置を示す断面図である。

【 0 1 1 9 】

本変形例による半導体装置は、シリサイド層 4 0 i、4 0 j がゲート電極 2 6 上にも形成されていることに主な特徴がある。

【 0 1 2 0 】

図 1 5 に示すように、本変形例による半導体装置では、シリサイド層 4 0 i、4 0 j がゲート電極 2 6 上にも形成されている。シリサイド層 4 0 i、4 0 j は、シリサイド層 4 0 a ~ 4 0 h を形成するのと同時に形成することが可能である。

【 0 1 2 1 】

このように、シリサイド層 4 0 i、4 0 j をゲート電極 2 6 上にも形成するようにしてもよい。シリサイド層 4 0 i、4 0 j は電気抵抗が低いため、本変形例によれば、ゲート電極 2 6 の低抵抗化を図ることができる。

【 0 1 2 2 】

〔変形実施形態〕

本発明は上記実施形態に限らず種々の変形が可能である。

【 0 1 2 3 】

例えば、上記実施形態では、本発明をロジック部のトランジスタと中高耐压部のトランジスタとが混載された半導体装置に適用する場合を例に説明したが、必ずしもロジック部のトランジスタと中高耐压部のトランジスタとが混載されていなくてもよい。例えば、中高耐压のトランジスタのみを有する半導体装置に本発明を適用してもよい。

【 0 1 2 4 】

また、上記実施形態では、中高耐压部のトランジスタのドレイン側についてのみ高い耐压が得られる上記の構造を採用したが、中高耐压部のトランジスタのソース側についても高い耐压が得られる上記の構造を採用してもよい。但し、ソース側についても高い耐压が得られる上記の構造を採用した場合には、ソースドレイン間の電気抵抗が更に上昇するため、ソースドレイン間の電気抵抗を低く抑える観点からは、ドレイン側についてのみ高い耐压が得られる上記の構造を採用することが望ましい。

【 0 1 2 5 】

(付記 1) 半導体基板上に絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の一側に形成され、低濃度ソース領域と、前記低濃度ソース領域よりキャリア濃度が高い高濃度ソース領域とを有するソース領域と、

前記ゲート電極の他側に形成され、低濃度ドレイン領域と、前記低濃度ドレイン領域よりキャリア濃度が高い高濃度ドレイン領域とを有するドレイン領域と、

前記ソース領域上に形成された第 1 のシリサイド層と、

前記ドレイン領域上に形成された第 2 のシリサイド層と、

前記第 1 のシリサイド層に接続された第 1 の導体プラグと、
前記第 2 のシリサイド層に接続された第 2 の導体プラグとを有し、
前記高濃度ドレイン領域は、前記低濃度ドレイン領域のうちの周縁部を除く領域に形成されており、
前記第 2 のシリサイド層は、前記高濃度ドレイン領域のうちの周縁部を除く領域に形成されている
ことを特徴とする半導体装置。

【 0 1 2 6 】

(付記 2) 付記 1 記載の半導体装置において、
前記第 2 の導体プラグは、前記第 2 のシリサイド層のうちの周縁部を除く領域に達するように形成されている
ことを特徴とする半導体装置。

【 0 1 2 7 】

(付記 3) 付記 1 又は 2 記載の半導体装置において、
前記高濃度ドレイン領域の前記ゲート電極側の縁部と前記低濃度ドレイン領域の前記ゲート電極側の縁部との間の距離が、前記高濃度ソース領域の前記ゲート電極側の縁部と前記低濃度ソース領域の前記ゲート電極側の縁部との間の距離より長い
ことを特徴とする半導体装置。

【 0 1 2 8 】

(付記 4) 付記 1 乃至 3 のいずれかに記載の半導体装置において、
前記第 2 のシリサイド層の前記ゲート電極側の縁部と前記高濃度ドレイン領域の前記ゲート電極側の縁部との間の距離が、前記第 1 のシリサイド層の前記ゲート電極側の縁部と前記高濃度ソース領域の前記ゲート電極側の縁部との間の距離より長い
ことを特徴とする半導体装置。

【 0 1 2 9 】

(付記 5) 付記 1 乃至 4 のいずれかに記載の半導体装置において、
前記高濃度ソース領域は、前記低濃度ソース領域の周縁部の一部にも形成され

ている

ことを特徴とする半導体装置。

【0130】

(付記6) 付記1乃至5のいずれかに記載の半導体装置において、
前記第1のシリサイド層は、前記低濃度ソース領域の周縁部の一部にも形成されている

ことを特徴とする半導体装置。

【0131】

(付記7) 付記1乃至6のいずれかに記載の半導体装置において、
前記第1の導体プラグは、前記第1のシリサイド層のうちの周縁部を除く領域に達するように形成されている

ことを特徴とする半導体装置。

【0132】

(付記8) 付記1乃至7のいずれかに記載の半導体装置において、
前記低濃度ドレイン領域の前記周縁部上及び前記高濃度ドレイン領域の前記周縁部上に形成された他の絶縁膜を更に有し、

前記第2のシリサイド層は、前記高濃度ドレイン領域のうちの前記他の絶縁膜が形成されていない領域に形成されている

ことを特徴とする半導体装置。

【0133】

(付記9) 付記8記載の半導体装置において、
前記ゲート電極の側面に形成されたサイドウォール絶縁膜を更に有し、
前記他の絶縁膜は、前記サイドウォール絶縁膜の側面にも形成されている
ことを特徴とする半導体装置。

【0134】

(付記10) 付記1乃至9のいずれかに記載の半導体装置において、
前記第2のシリサイド層の縁部と前記高濃度ドレイン領域の縁部との間の距離が、 $0.1\mu\text{m}$ 以上である

ことを特徴とする半導体装置。

【 0 1 3 5 】

(付記 1 1) 付記 1 0 記載の半導体装置において、
前記第 2 のシリサイド層の縁部と前記高濃度ドレイン領域の縁部との間の距離
が、 $0.5\mu\text{m}$ 以上である
ことを特徴とする半導体装置。

【 0 1 3 6 】

(付記 1 2) 付記 1 乃至 1 1 のいずれかに記載の半導体装置において、
前記ドレイン領域に隣接する素子分離領域を更に有し、
前記高濃度ドレイン領域は、前記素子分離領域から離間するように形成されて
いる
ことを特徴とする半導体装置。

【 0 1 3 7 】

(付記 1 3) 付記 1 2 記載の半導体装置において、
前記高濃度ソース領域は、前記素子分離領域に接している
ことを特徴とする半導体装置。

【 0 1 3 8 】

(付記 1 4) 付記 1 2 又は 1 3 記載の半導体装置において、
前記第 1 のシリサイド層は、前記素子分離領域に接している
ことを特徴とする半導体装置。

【 0 1 3 9 】

(付記 1 5) 付記 1 乃至 1 4 のいずれかに記載の半導体装置において、
前記導体プラグの縁部と前記第 2 のシリサイド層の縁部との距離が、 $0.3\mu\text{m}$
以上である
ことを特徴とする半導体装置。

【 0 1 4 0 】

(付記 1 6) 付記 1 乃至 1 5 のいずれかに記載の半導体装置において、
前記ゲート電極上に形成された第 3 のシリサイド層を更に有する
ことを特徴とする半導体装置。

【 0 1 4 1 】

(付記 1 7) 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記半導体基板にドーパント不純物を導入することにより、前記ゲート電極の一侧の前記半導体基板に低濃度ソース領域を形成するとともに、前記ゲート電極の他側の前記半導体基板に低濃度ドレイン領域を形成する工程と、

前記ゲート電極の側面にサイドウォール絶縁膜を形成する工程と、

前記低濃度ドレイン領域の周縁部とを覆うように形成された第 1 のマスクと前記ゲート電極と前記サイドウォール絶縁膜とをマスクとして、前記半導体基板にドーパント不純物を導入することにより、前記ゲート電極の一侧の前記半導体基板内に高濃度ソース領域を形成するとともに、前記低濃度ドレイン領域のうちの周縁部を除く領域に高濃度ドレイン領域を形成する工程と、

前記高濃度ドレイン領域の周縁部を覆うように形成された第 2 のマスクをマスクとして、前記高濃度ソース領域上に第 1 のシリサイド層を形成するとともに、前記高濃度ドレイン領域のうちの周縁部を除く領域に第 2 のシリサイド層を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【0 1 4 2】

(付記 1 8) 付記 1 7 記載の半導体装置の製造方法において、

前記第 1 のシリサイド層と前記第 2 のシリサイド層とを形成する工程の後、前記第 1 のシリサイド層に接続された第 1 の導体プラグと、前記第 2 のシリサイド層に接続された第 2 の導体プラグとを形成する工程を更に有し、

前記第 1 の導体プラグと前記第 2 の導体プラグとを形成する工程では、前記第 2 のシリサイド層のうちの周縁部を除く領域に達するように前記第 2 の導体プラグを形成する

ことを特徴とする半導体装置の製造方法。

【0 1 4 3】

(付記 1 9) 付記 1 8 記載の半導体装置の製造方法において、

前記第 1 の導体プラグと前記第 2 の導体プラグとを形成する工程では、前記第

1 のシリサイド層のうちの周縁部を除く領域に達するように前記第 1 の導体プラグを形成する

ことを特徴とする半導体装置の製造方法。

【 0 1 4 4 】

(付記 2 0) 付記 1 8 又は 1 9 の半導体装置の製造方法において、
前記第 1 のシリサイド層と前記第 2 のシリサイド層とを形成する工程では、前記ゲート電極上に第 3 のシリサイド層を更に形成する

ことを特徴とする半導体装置の製造方法。

【 0 1 4 5 】

【発明の効果】

以上の通り、本発明によれば、中高耐圧部のトランジスタのドレイン側において、低濃度ドレイン領域のうちの周縁部を除く領域に高濃度ドレイン領域が形成されており、高濃度ドレイン領域のうちの周縁部を除く領域にシリサイド層が形成されており、シリサイド層のうちの周縁部を除く領域に達するように導体プラグが形成されており、しかも、高濃度ドレイン領域 4 4 が素子分離領域から離間しているため、ドレイン側に電圧を印加した際にドレイン側に電界が集中するのを緩和することができる。このため、本発明によれば、ソース／ドレイン領域上にシリサイド層を形成する場合であっても、中高耐圧のトランジスタにおける耐圧を十分に高く確保することができる。しかも、本発明によれば、ドレイン側においてのみ上記のような構成になっているため、ソースドレイン間の電気抵抗の上昇を防止しつつ、高い耐圧を確保することができる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態による半導体装置を示す断面図である。

【図 2】

本発明の一実施形態による半導体装置を示す断面図及び平面図である。

【図 3】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 4】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 5】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 6】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 4）である。

【図 7】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 5）である。

【図 8】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 6）である。

【図 9】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 7）である。

【図 1 0】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 8）である。

【図 1 1】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 9）である。

【図 1 2】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 1 0）である。

【図 1 3】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 1 1

)である。

【図 1 4】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 1 2）である。

【図 1 5】

本発明の一実施形態による半導体装置の変形例を示す断面図である。

【図 1 6】

提案されている半導体装置を示す断面図である。

【図 1 7】

提案されている他の半導体装置を示す断面図である。

【符号の説明】

- 1 0 …半導体基板
- 1 2 a、1 2 b …素子領域
- 1 4 …素子分離領域
- 1 6 …ロジック部
- 1 8 …中高耐圧部
- 2 0 …ロジック用のトランジスタ
- 2 2 …中高耐圧のトランジスタ
- 2 4 a、2 4 b …ゲート絶縁膜
- 2 6 …ゲート電極
- 2 8 …キャップ膜
- 3 0 a …低濃度ソース領域
- 3 0 b …低濃度ドレイン領域
- 3 2 …サイドウォール絶縁膜
- 3 4 a …高濃度ソース領域
- 3 4 b …高濃度ドレイン領域
- 3 6 a …ソース領域
- 3 6 b …ドレイン領域
- 3 8 …サイドウォール絶縁膜、絶縁膜

4 0 a ~ 4 0 j …シリサイド層
4 2 a、4 2 c …低濃度ソース領域
4 2 b、4 2 d …低濃度ドレイン領域
4 4 a、4 4 c …高濃度ソース領域
4 4 b、4 4 d …高濃度ドレイン領域
4 5 a …ソース領域
4 5 b …ドレイン領域
4 6 …開口部
5 0 …層間絶縁膜
5 2 …コンタクトホール
5 4 …導体プラグ
5 6 …配線
5 8 …マスク
6 0 …フォトレジスト膜
6 2 …開口部
6 3 …n 形ウェル
6 4 …フォトレジスト膜
6 6 …開口部
6 8 …n 形ウェル
7 0 …フォトレジスト膜
7 2 …開口部
7 4 …チャネルストップ層
7 6 …フォトレジスト膜
7 8 …開口部
8 0 …チャネルストップ層
8 2 …保護膜
8 4 …保護膜
8 6 …フォトレジスト膜
8 8 …開口部

9 0 … p 形ウェル
9 2 …チャネルドープ層
9 4 …フォトレジスト膜
9 6 …開口部
9 8 …チャネルドープ層
1 0 0 …フォトレジスト膜
1 0 2 …開口部
1 0 4 …チャネルドープ層
1 0 6 …アモルファスシリコン膜
1 0 8 …フォトレジスト膜
1 1 0 …開口部
1 1 2 …チャネルドープ層
1 1 3 …タンゲステンシリサイド膜
1 1 4 …フォトレジスト膜
1 1 6 …開口部
1 1 8 …フォトレジスト膜
1 2 0 …開口部
1 2 2 …フォトレジスト膜
1 2 4 …開口部
1 2 6 …フォトレジスト膜
1 2 8 …開口部
1 3 0 …フォトレジスト膜
1 3 2 …開口部
1 3 4 …フォトレジスト膜
1 3 6 a ～ 1 3 6 c …開口部
1 3 8 …フォトレジスト膜
1 4 0 a ～ 1 4 0 c …開口部
1 4 2 …フォトレジスト膜
1 4 4 a ～ 1 4 4 d …開口部

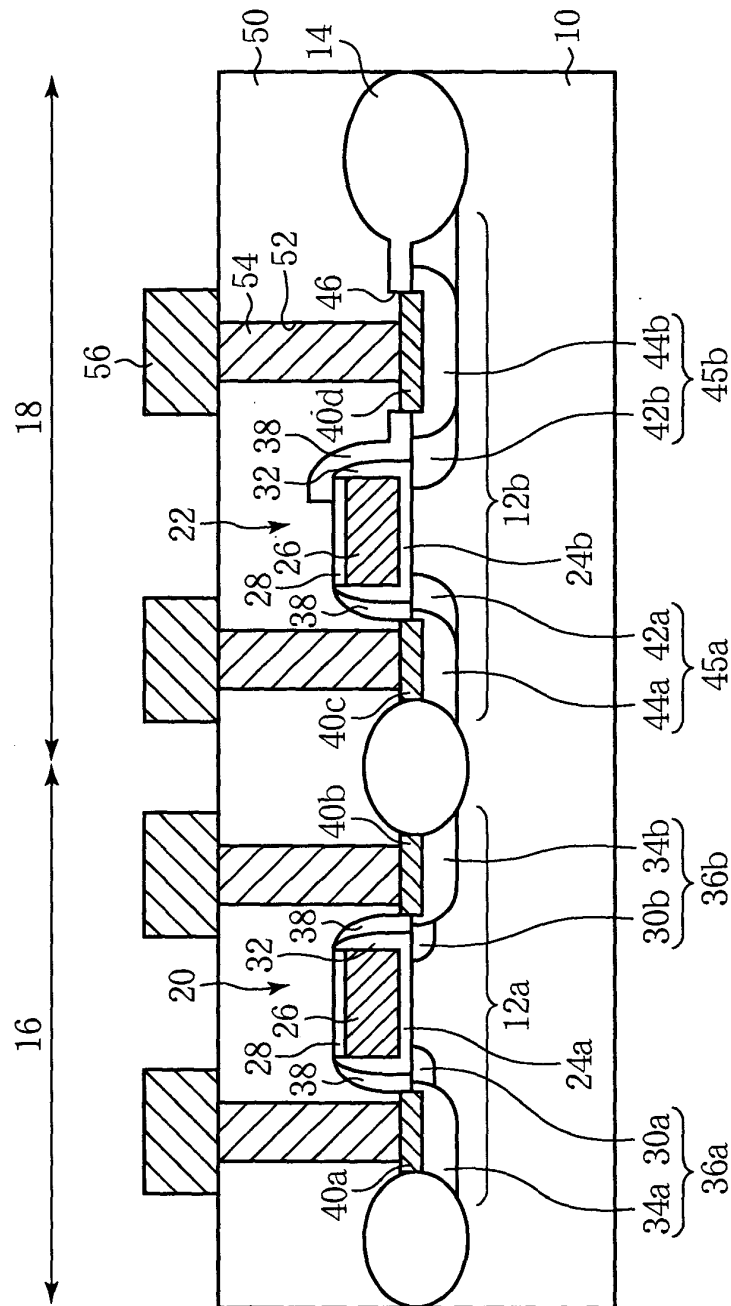
特2002-273851

【書類名】

図面

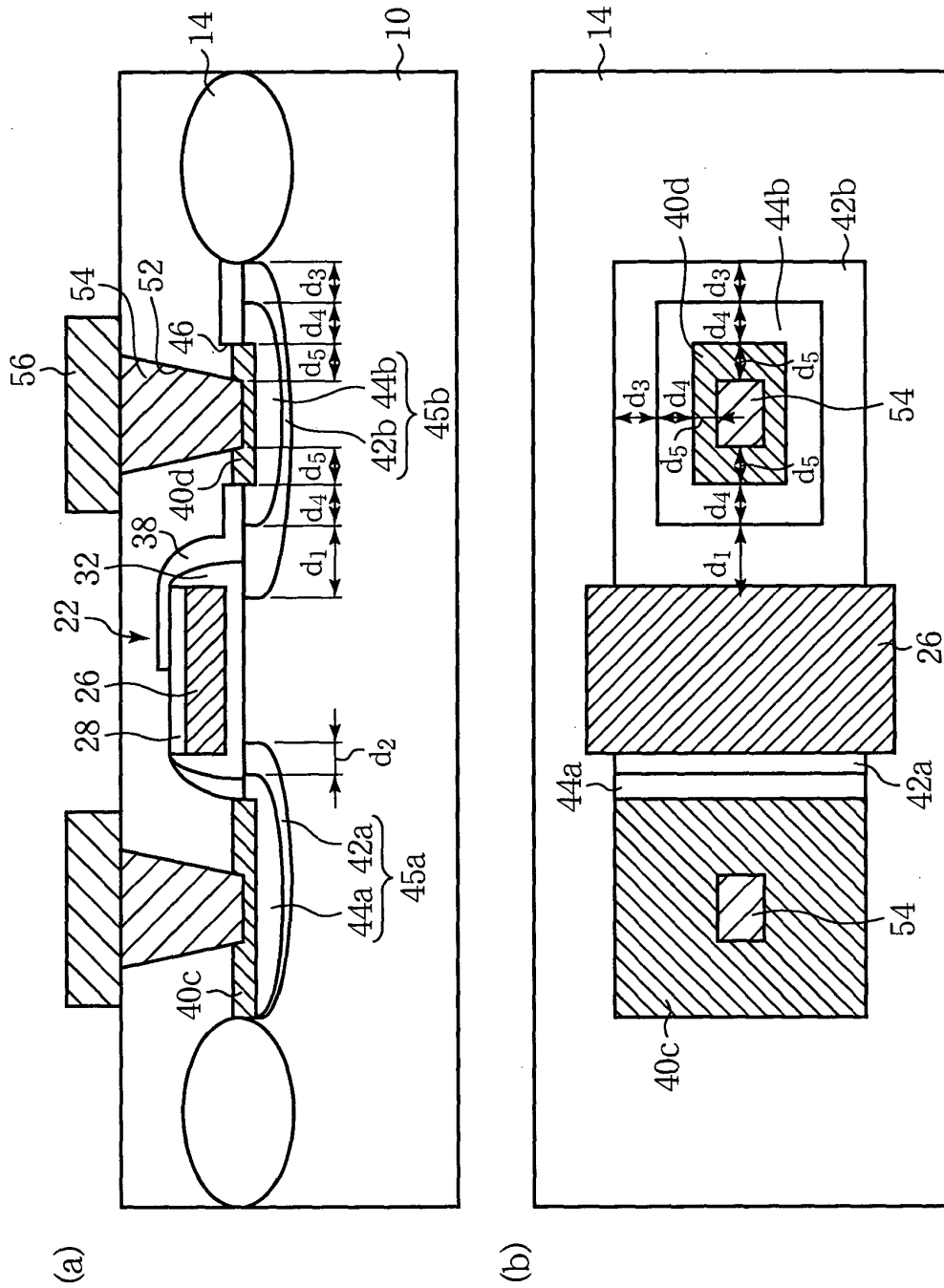
【図 1】

本発明の一実施形態による半導体装置を示す断面図



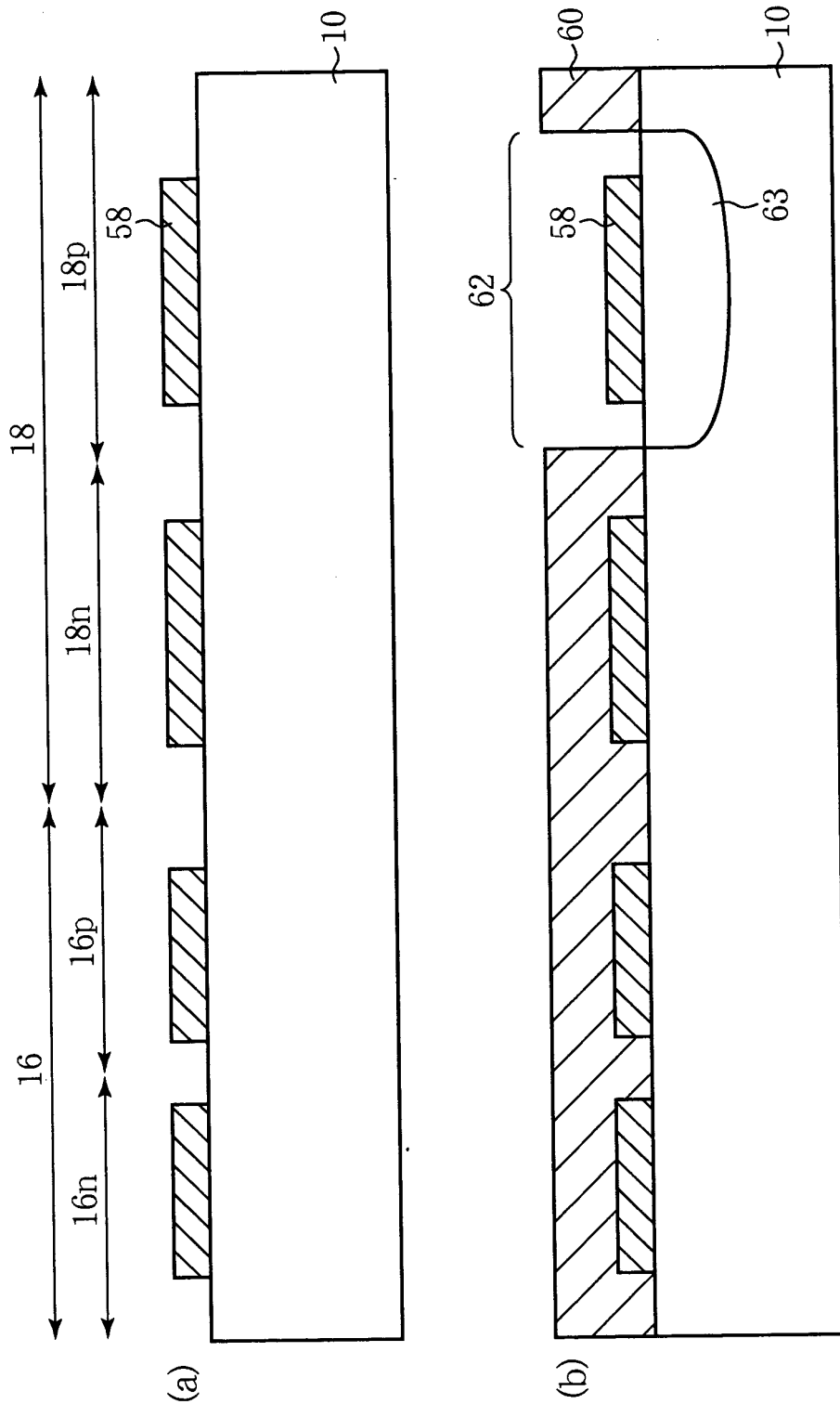
【図 2】

本発明の一実施形態による半導体装置を示す断面図及び平面図



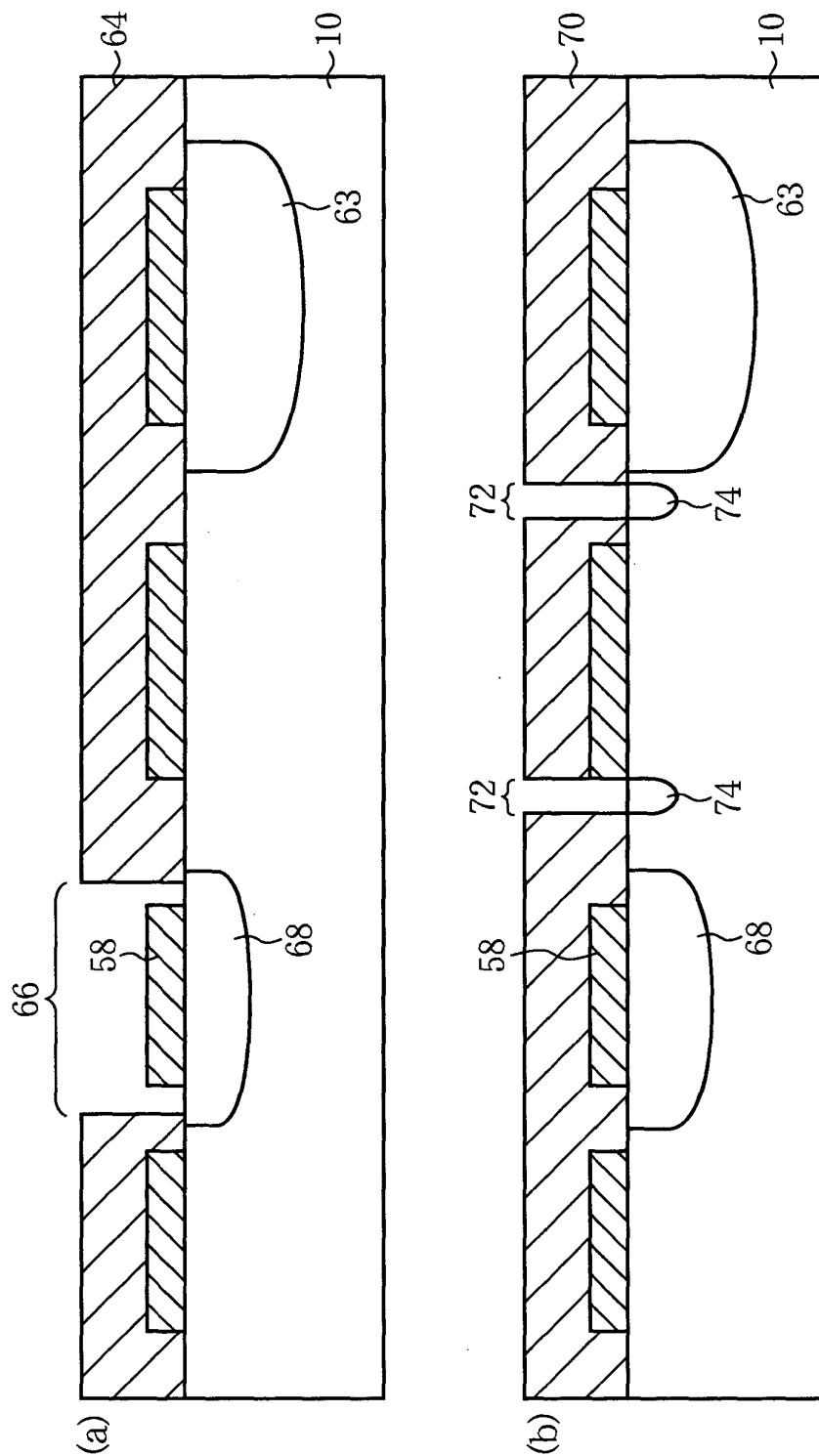
【図 3】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その1)



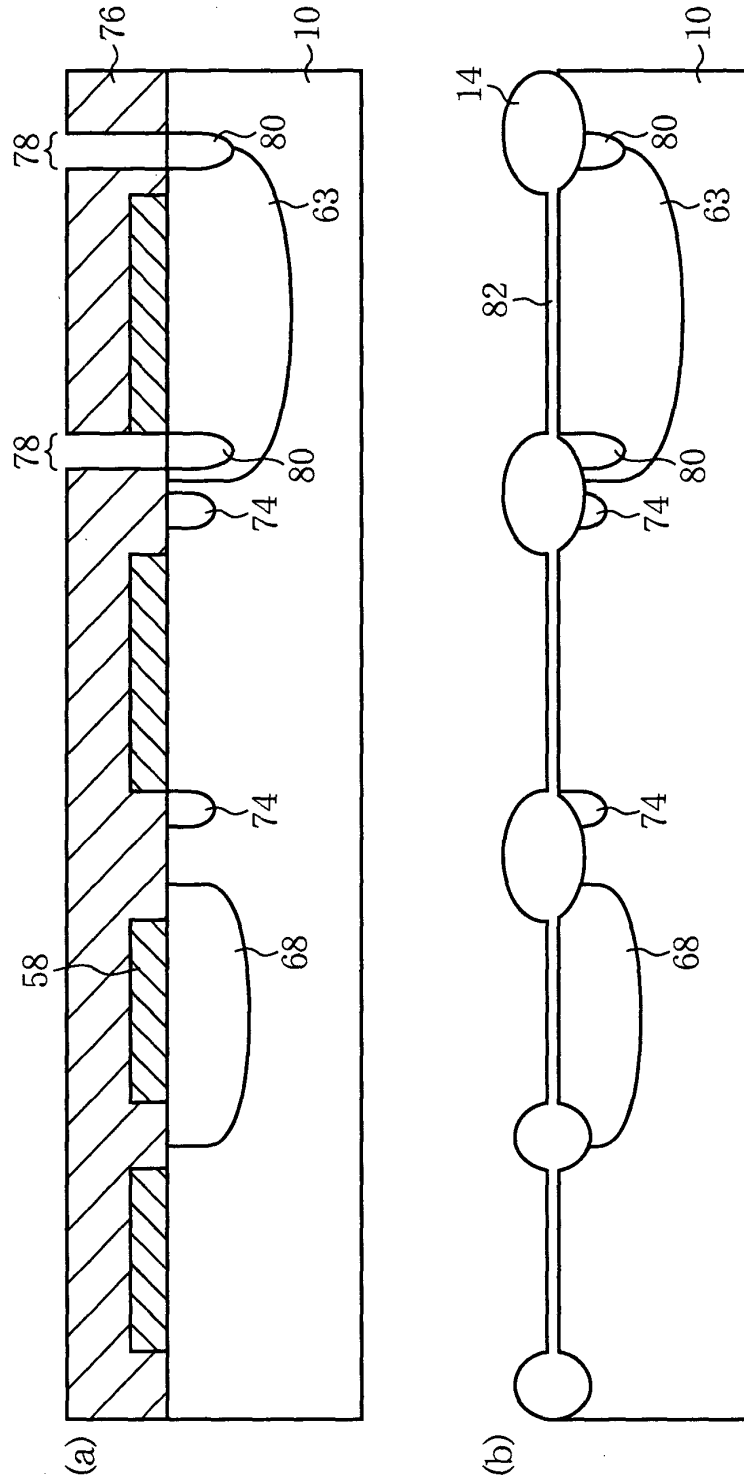
【図4】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その2)



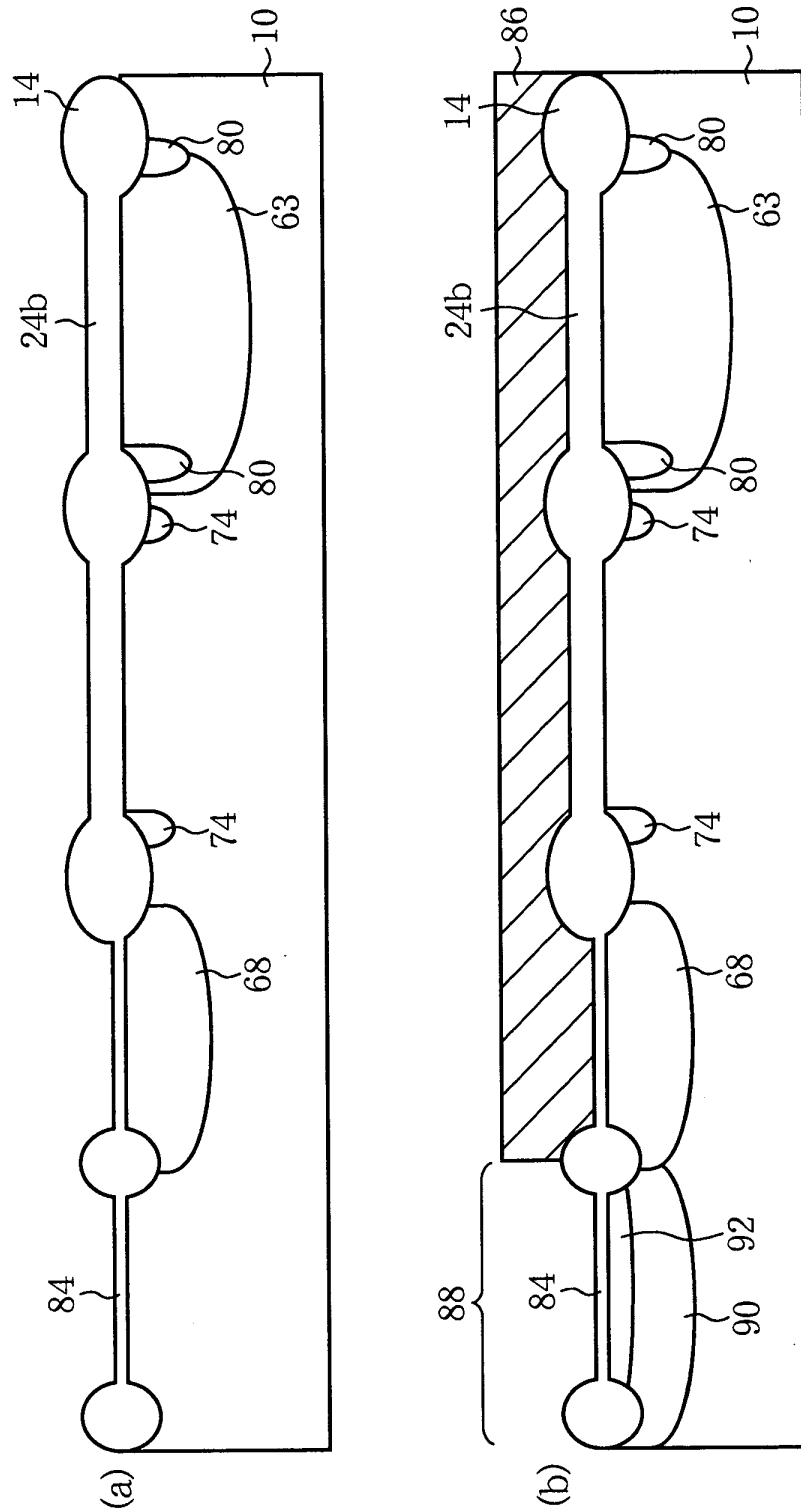
【図5】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その3)



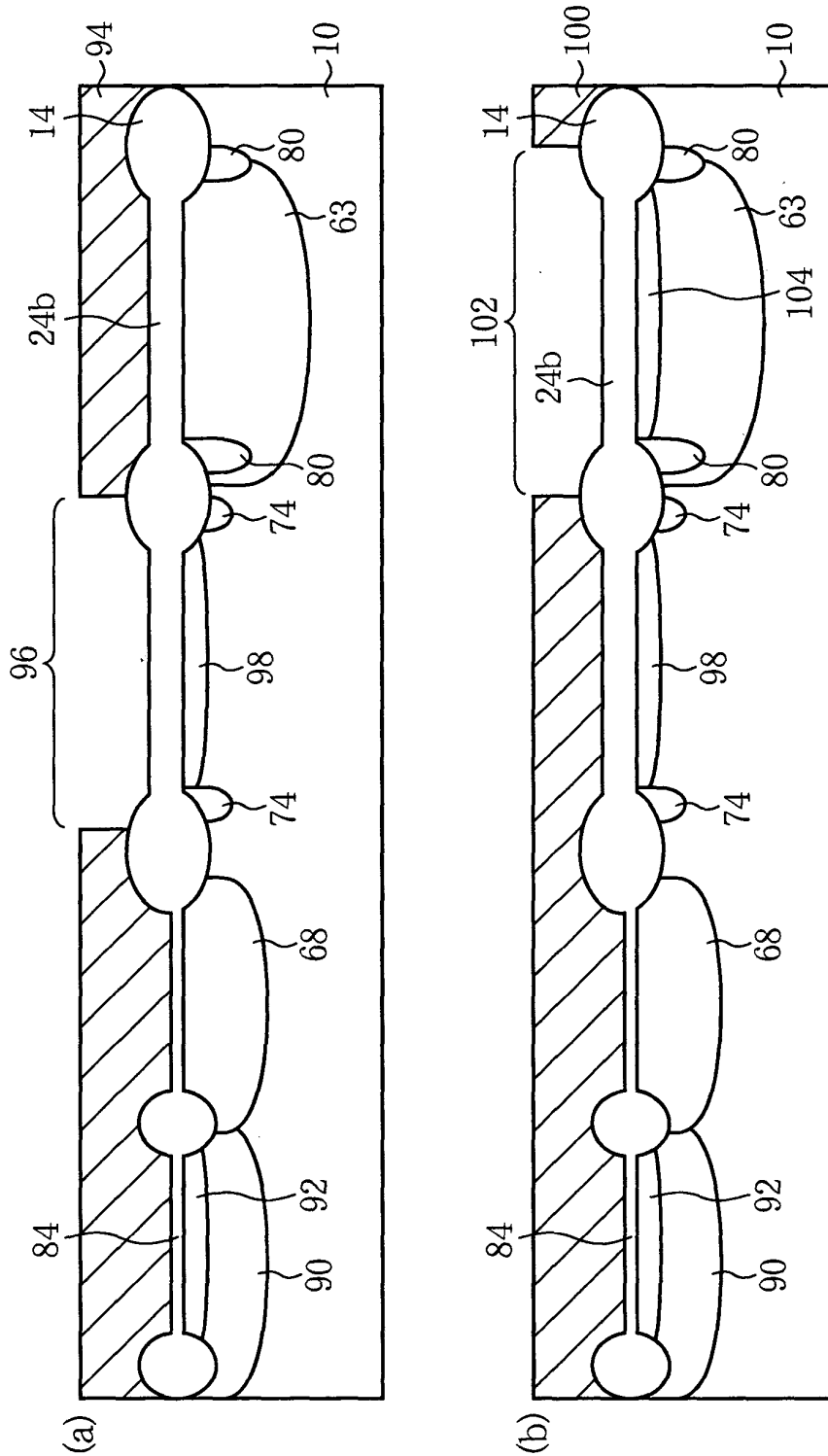
【図 6】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その4)



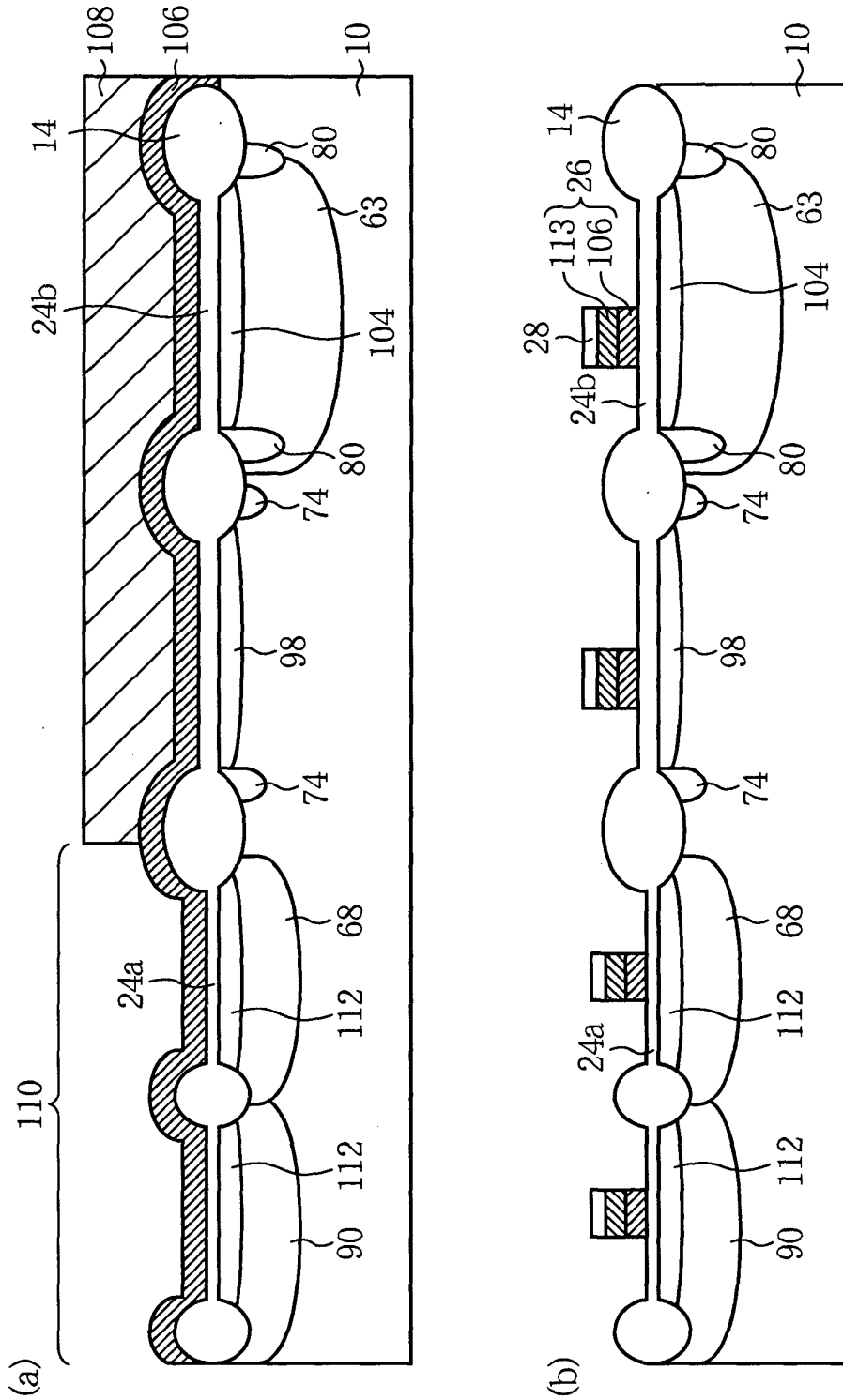
【図7】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その5)



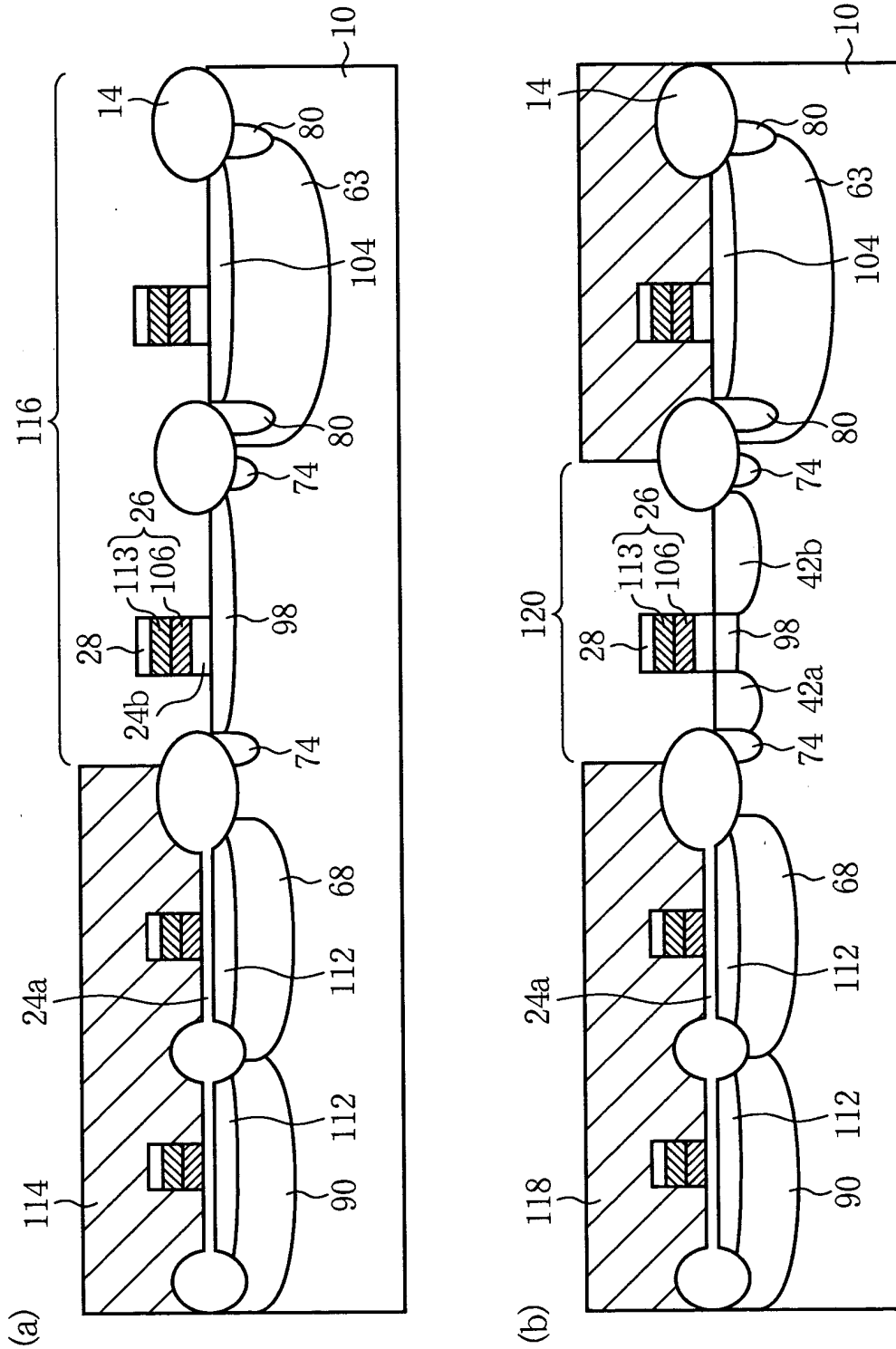
【図 8】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その6)



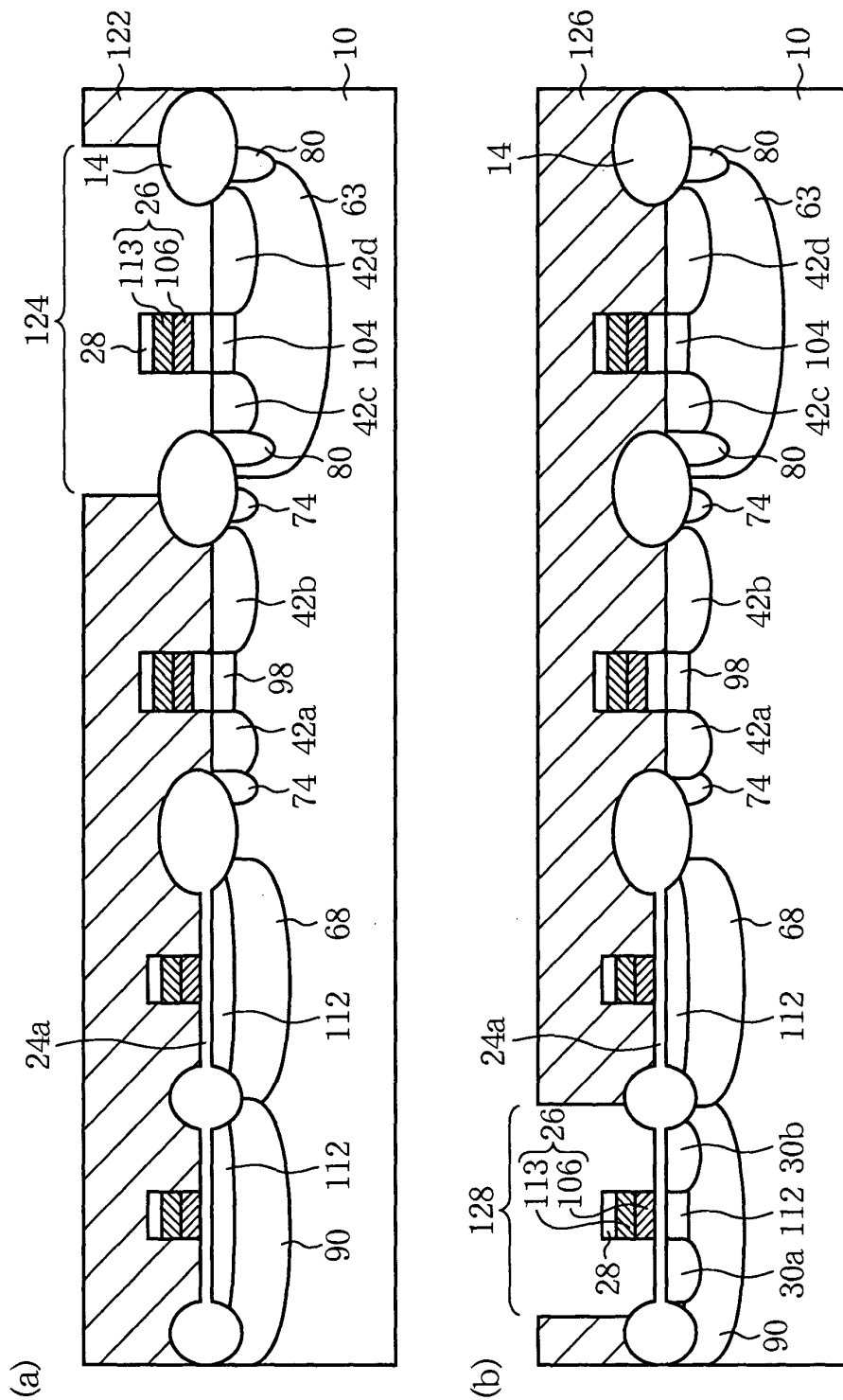
【図9】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その7)



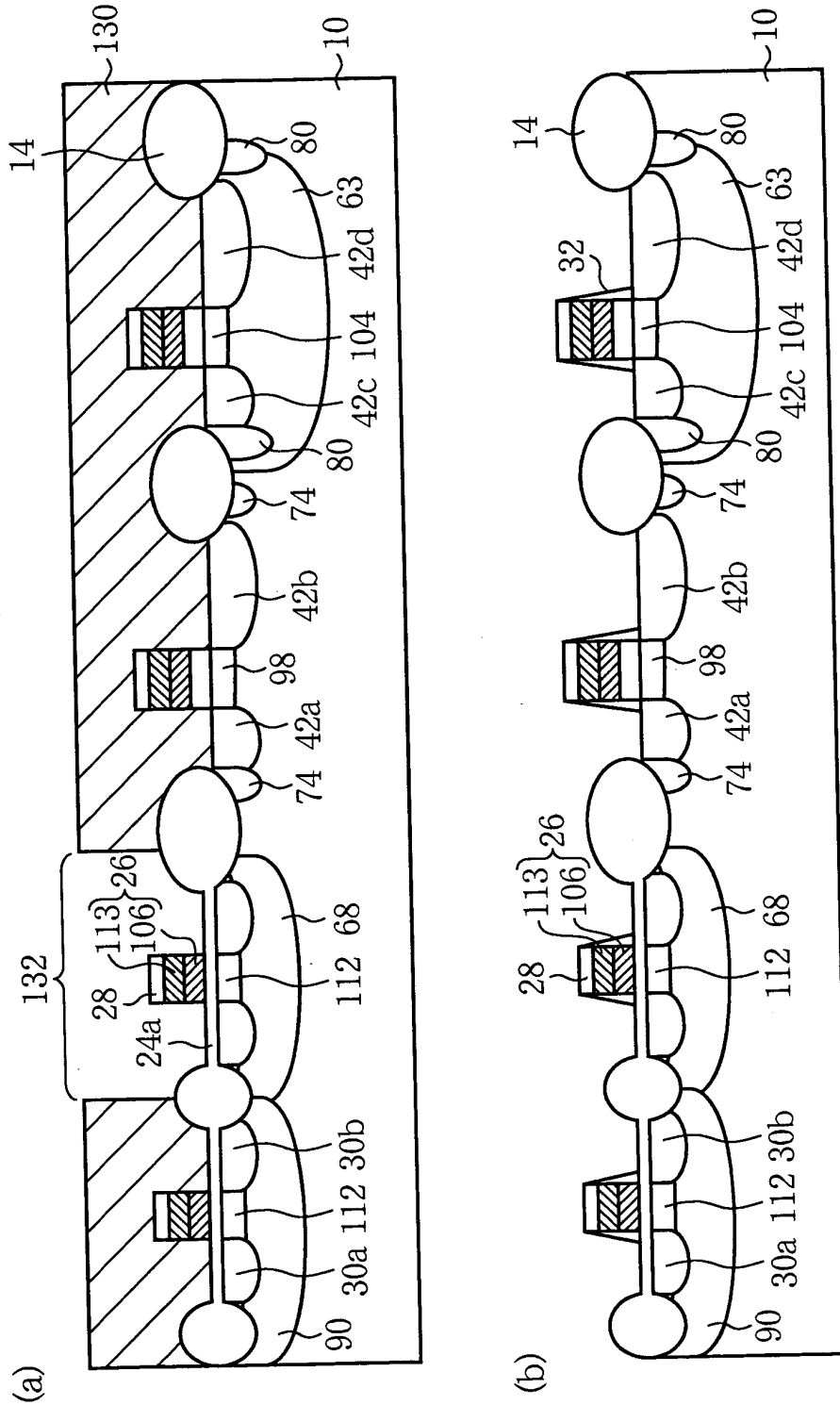
【図10】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その8)



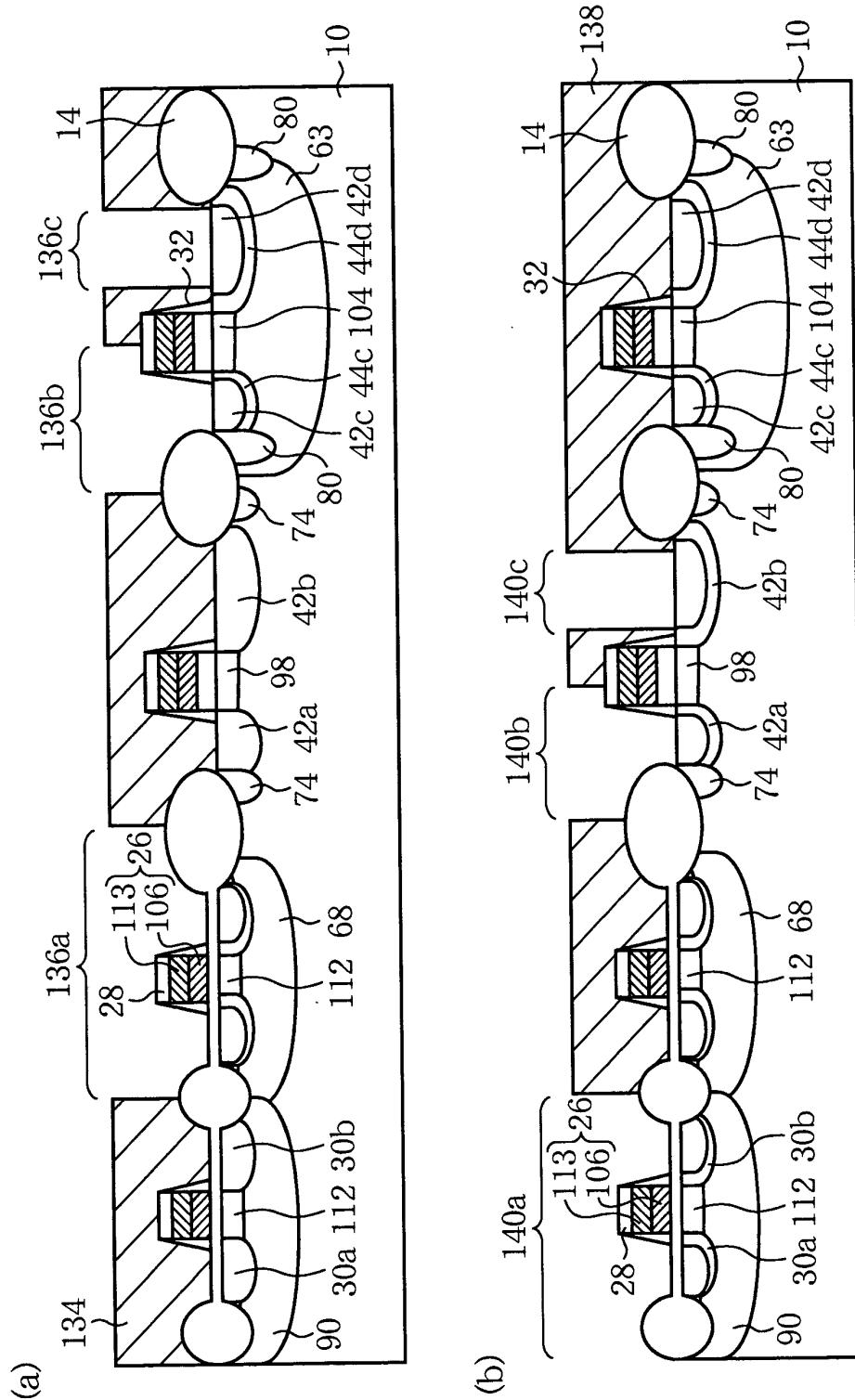
【図11】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その9)



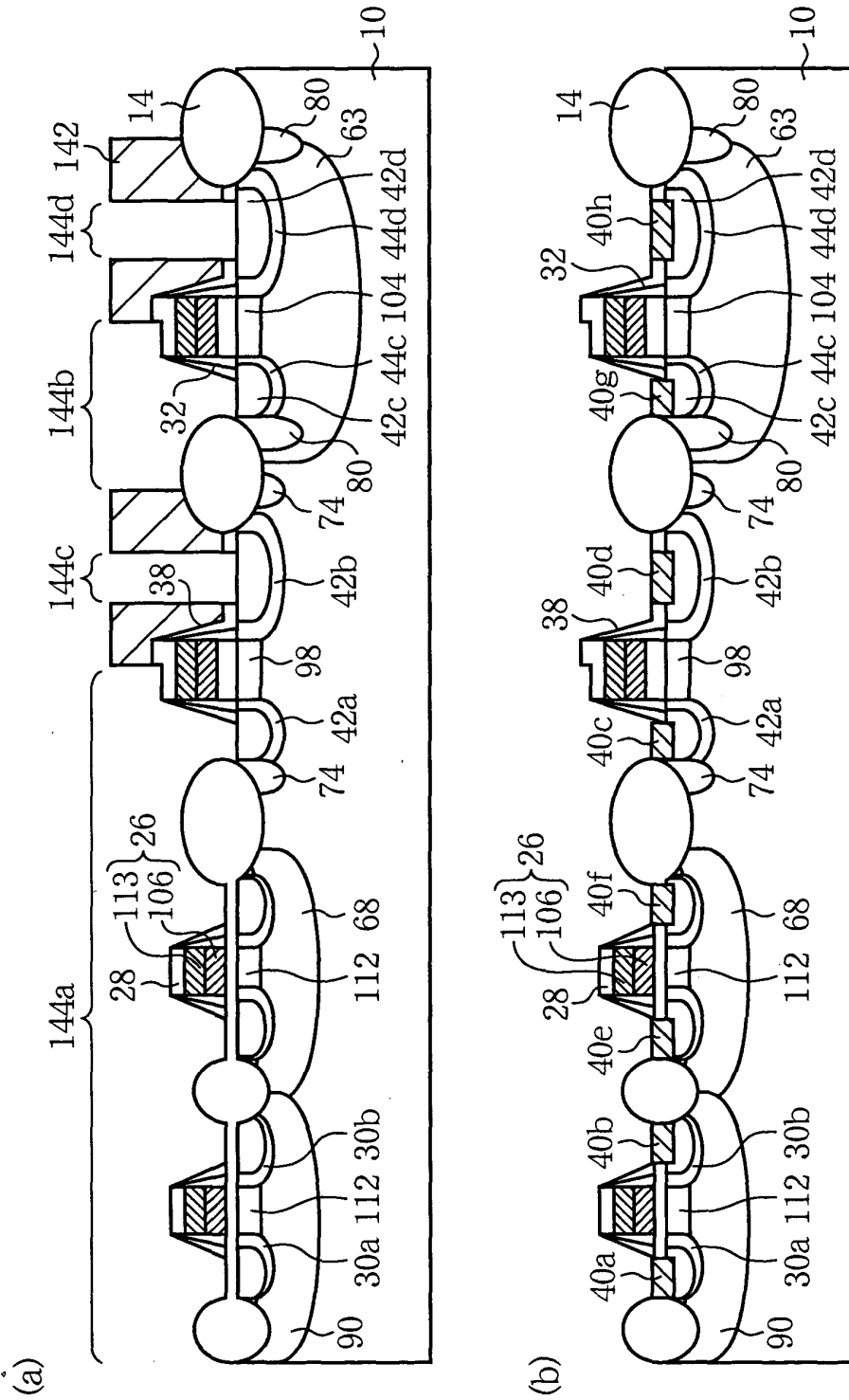
【図 1 2】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その10)



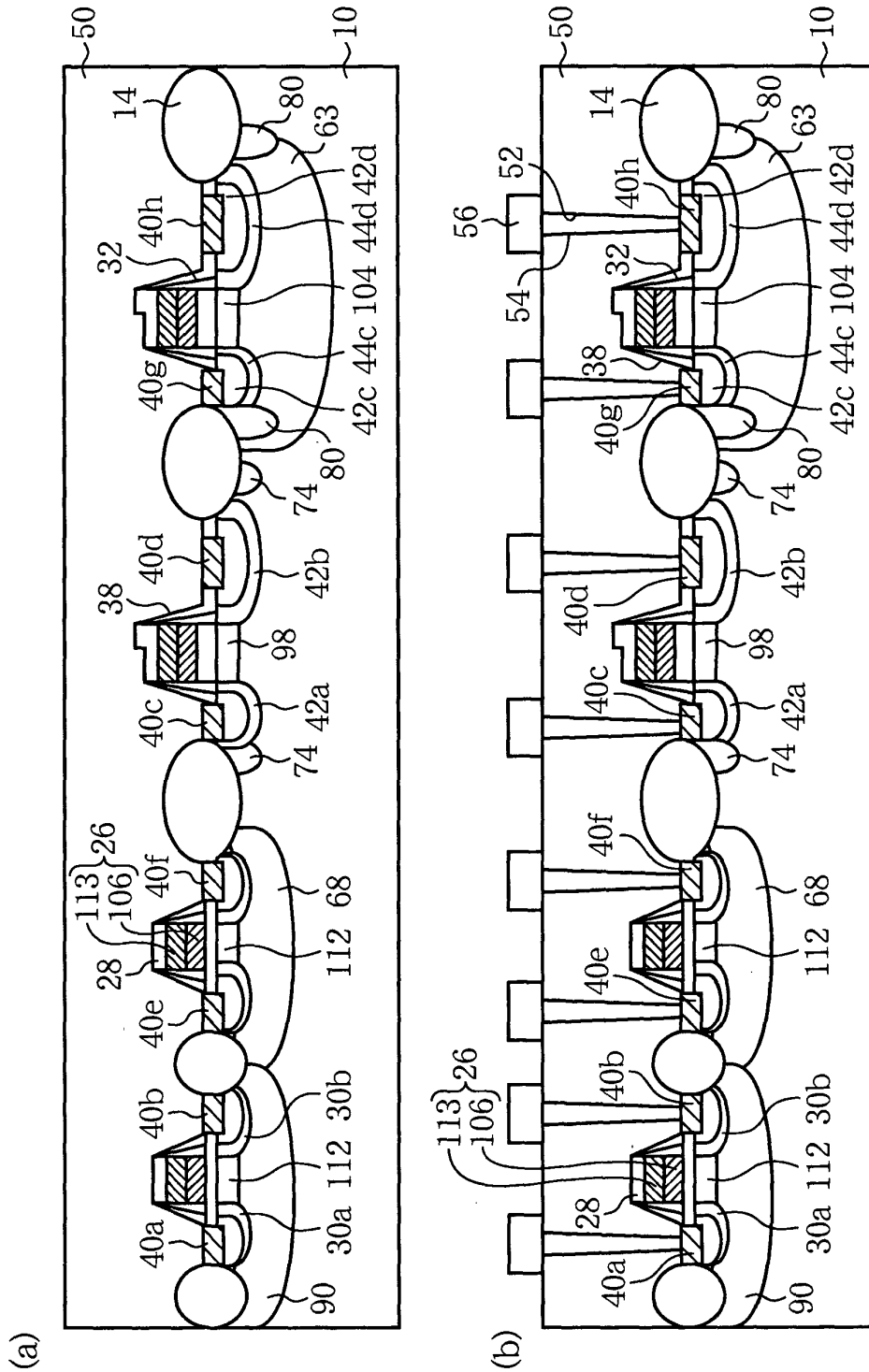
【図 1 3】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その11)



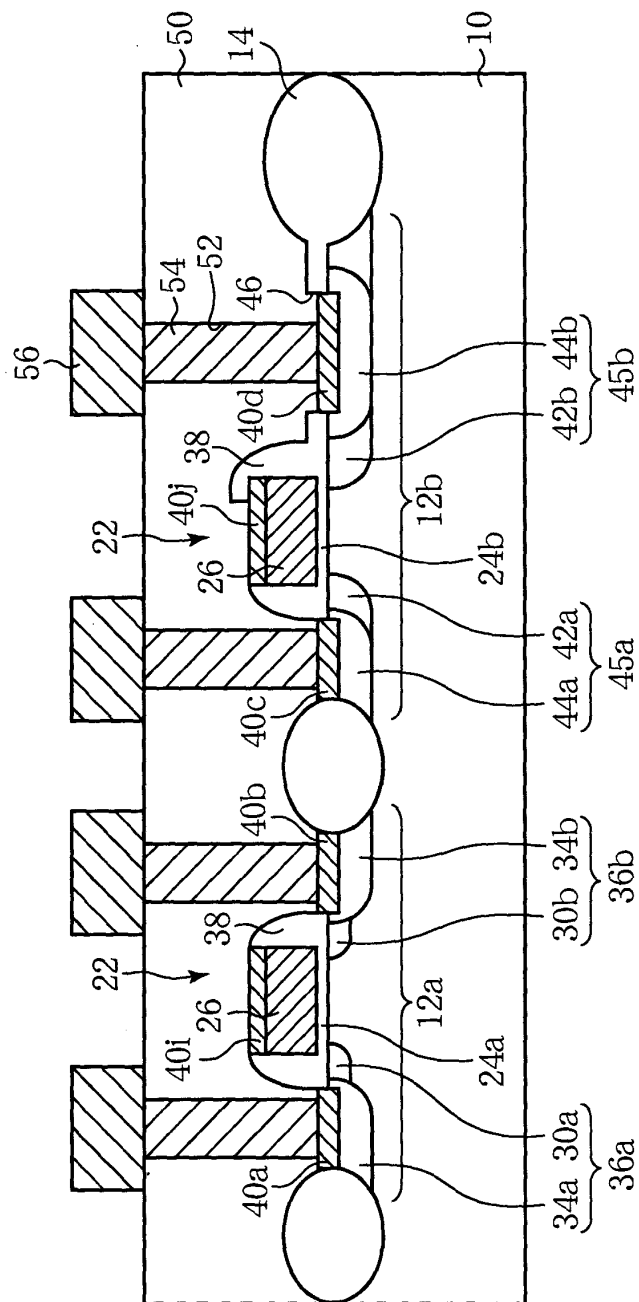
【図14】

本発明の一実施形態による半導体装置の製造方法を示す
工程断面図(その12)



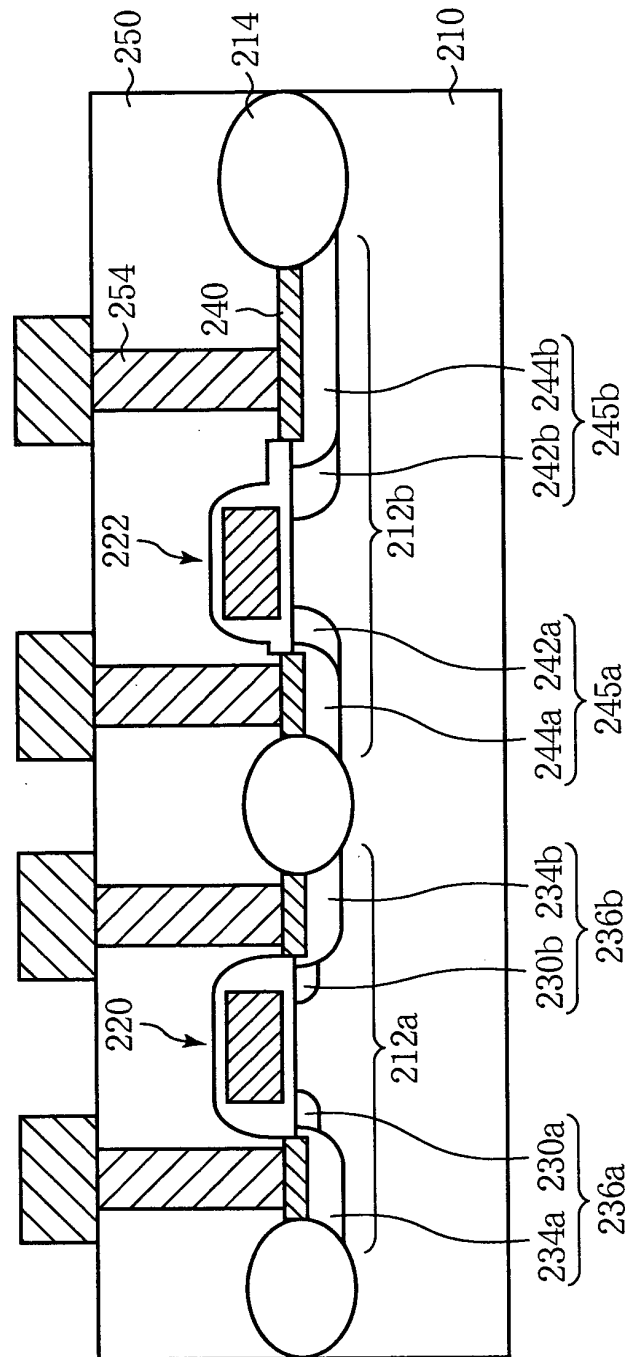
【図15】

本発明の一実施形態による半導体装置の変形例を示す断面図



【図 17】

提案されている他の半導体装置を示す断面図





【書類名】 要約書

【要約】

【課題】 ソース／ドレイン領域上にシリサイド層を形成する場合であっても、十分な耐圧を確保しうる半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板 1 0 上に形成されたゲート電極 2 6 と、低濃度ソース領域 4 2 a と高濃度ソース領域 4 4 a とを有するソース領域 4 5 a と、低濃度ドレイン領域 4 2 b と高濃度ドレイン領域 4 4 b とを有するドレイン領域 4 5 b と、ソース領域上に形成された第 1 のシリサイド層 4 0 c と、ドレイン領域上に形成された第 2 のシリサイド層 4 0 d と、第 1 のシリサイド層に接続された第 1 の導体プラグ 5 4 と、第 2 のシリサイド層に接続された第 2 の導体プラグ 5 4 とを有し、高濃度ドレイン領域は低濃度ドレイン領域のうちの周縁部を除く領域に形成されており、第 2 のシリサイド層は高濃度ドレイン領域のうちの周縁部を除く領域に形成されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社